

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199241

(43)Date of publication of application : 31.07.1998

(51)Int.Cl. G11C 11/407
G11C 11/409
G11C 11/412

(21)Application number : 09-000109 (71)Applicant : MITSUBISHI ELECTRIC CORP

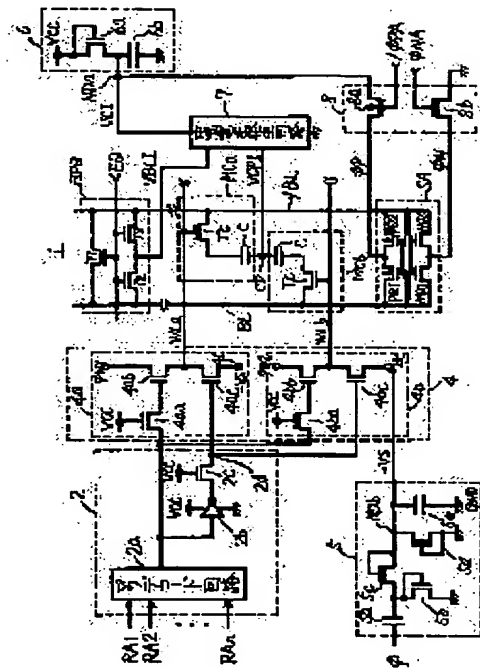
(22)Date of filing : 06.01.1997 (72)Inventor : HIDA YOICHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To assure reliability of gate insulation film of an access transistor of a DRAM(Dynamic Random Access Memory) of the word line non-voltage boosting/word line negative voltage system and a word line driver section transistor.

SOLUTION: An intermediate voltage for precharging is generated using an array voltage which is lower than the power supply voltage and an array voltage is transmitted as a sense amplifier drive signal to a sense amplifier(SA). A high level potential of bit lines (BL, /BL) for reading high level data is an array voltage level which is lower than the power supply voltage and a voltage difference between the non-selected word line after a negative voltage ($-V_S$) is applied to the non-selected word line and the bit line from which the high level data is read is equal to the power supply voltage level which prevents application of excessive voltage to the gate insulation film of the access transistor. Moreover, a high level data of the gate of word driver transistors (4ac, 4bc) is equal to an array voltage level to prevent application of the voltage higher than the power supply voltage to the gate insulation film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-199241

(43)公開日 平成10年(1998)7月31日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 C 11/407
11/409
11/412

G 1 1 C 11/34

3 5 4 D

3 5 3 F

354 F

11/40

301

審査請求 未請求 請求項の数14 O.L (全 27 頁)

(21)出題番号

特選平9-109

(22)出願日

平成9年(1997)1月6日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

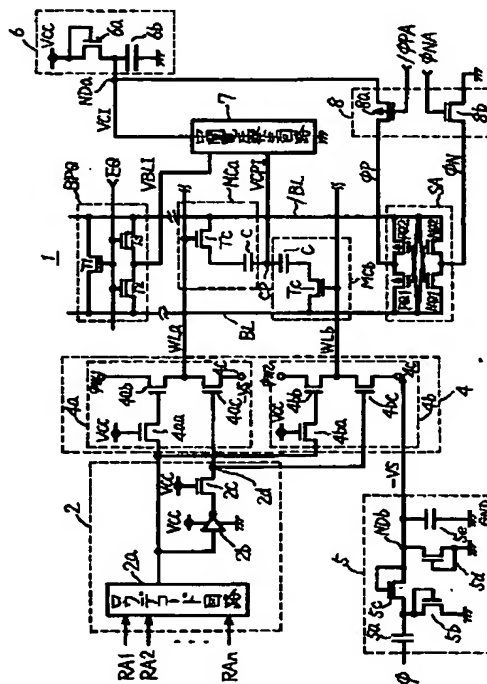
(74)代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ワード線非昇圧／ワード線負電圧方式のDRAMのアクセストランジスタおよびワード線ドライバ部トランジスタのゲート絶縁膜の信頼性を保証する。

【解決手段】 電源電圧よりも低いアレイ電圧を用いてプリチャージ用中間電圧を発生し、またアレイ電圧をセンスアンプ駆動信号としてセンスアンプ（SA）へ伝達する。ハイレベルデータが読出されるビット線（BL、 \neg BL）のハイレベル電位は、この電源電圧よりも低いアレイ電圧レベルであり、非選択ワード線に負電圧（ $-V_S$ ）が印加された後非選択ワード線とハイレベルデータが読出されたビット線の電位差は、電源電圧レベルであり、アクセストランジスタのゲート絶縁膜に過大な電圧が印加されるのを防止することができる。またワードドライバトランジスタ（4ac、4bc）のゲートのハイレベルデータは、アレイ電圧レベルとし、電源電圧よりも高い電圧がそのゲート絶縁膜に印加されるのを防止する。



【特許請求の範囲】

【請求項1】 各々が、2値データを記憶するためのキャパシタと、しきい値電圧を有し、選択時前記キャパシタに格納されたデータを読み出すためのアクセストランジスタを含みかつ行列状に配列される複数のメモリセル、各前記行に対応して配置され、各々に対応の行のメモリセルのアクセストランジスタの制御電極ノードが接続する複数のワード線、

各前記列に対応して配置され、各々に対応の列のメモリセルのアクセストランジスタの一方導通ノードが接続する複数のコラム線、

与えられたアドレス信号に従って、アドレス指定された行に対応する選択ワード線を選択電圧レベルへ駆動しかつ残りの非選択ワード線を前記選択電圧と極性の異なる非選択電圧レベルに維持する行選択手段、

各前記列に対応して設けられ、活性化時対応のコラム線に読出されたメモリセルデータに従って対応のコラム線をメモリセルデータに対する電位レベルに設定する電位設定手段を備え、前記電位設定手段は、該対応のコラム線に、前記2値のうちのハイレベルのデータが読出されたとき、該対応のコラム線の電位を前記選択電圧よりも前記メモリセルのアクセストランジスタのしきい値電圧の絶対値分実質的に低いレベルに設定する手段を含む、半導体記憶装置。

【請求項2】 前記行選択手段は、

各前記ワード線に対応して設けられ、前記非選択電圧供給ノードと対応のワード線との間に設けられるトランジスタ素子と、

前記トランジスタ素子に対応して設けられ、前記アドレス信号に従って対応のワード線が非選択のとき、前記トランジスタ素子の制御電極ノードへ前記非選択電圧レベルよりも実質的に前記選択電圧レベル高いレベルの電圧を印加する手段とを含む、請求項1記載の半導体記憶装置。

【請求項3】 前記メモリセルのキャパシタは、対応のアクセストランジスタに接続されるストレージノードと、前記ストレージノードと対向して配置されるセルフプレート電極ノードとを有し、

各前記メモリセルのキャパシタのセルフプレート電極ノードへ、前記選択電圧と前記アクセストランジスタのしきい値電圧の絶対値の差の半分に実質的に等しいレベルの電圧を印加する中間電圧発生手段をさらに備える、請求項1記載の半導体記憶装置。

【請求項4】 前記選択電圧と前記アクセストランジスタのしきい値電圧の絶対値の差の半分に実質的に等しいレベルの電圧を発生する中間電圧発生手段と、

各前記コラム線に対応して設けられ、前記半導体記憶装置のスタンバイ状態時活性化され、前記中間電圧発生手段からの電圧を該対応のコラム線へ伝達するプリチャージ手段をさらに備える、請求項1記載の半導体記憶装置。

置。

【請求項5】 前記行選択手段は、

各前記ワード線に対応して設けられ、活性化時対応のワード線へ前記非選択電圧を伝達するための絶縁ゲート型電界効果トランジスタを含み、前記絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は前記非選択電圧の絶対値よりも大きい、請求項1記載の半導体記憶装置。

【請求項6】 前記行選択手段は、各前記ワード線に対応して設けられ、活性化時対応のワード線へ前記非選択電圧を伝達するための絶縁ゲート型電界効果トランジスタを含み、

各前記絶縁ゲート型電界効果トランジスタのバックゲート領域へ、前記絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値が前記非選択電圧の絶対値よりも大きくなるレベルのバイアス電圧を印加する手段をさらに備える、請求項1記載の半導体記憶装置。

【請求項7】 チャージポンプ動作により前記非選択電圧と同一極性の電圧を生成するチャージポンプ手段と、前記チャージポンプ手段の出力ノードに設けられ、前記出力ノードの電圧を前記非選択電圧レベルにクランプするための、ダイオード接続された絶縁ゲート型電界効果トランジスタと、

前記チャージポンプ手段の出力ノードの電圧を安定化するための安定化容量とをさらに備え、前記チャージポンプ手段の出力ノードの電圧が前記行選択手段へ与えられて、非選択ワード線へ前記非選択電圧として伝達される、請求項1記載の半導体記憶装置。

【請求項8】 前記絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、前記メモリセルのアクセストランジスタのしきい値電圧の絶対値以下である、請求項7記載の半導体記憶装置。

【請求項9】 前記選択電圧に等しいレベルの電圧を供給する電源ノードと出力ノードとの間に接続され、前記メモリセルのアクセストランジスタと実質的に等しいかまたはそれ以下のしきい値電圧を有し、前記出力ノードに前記選択電圧より前記しきい値電圧分低下させた電圧を伝達する絶縁ゲート型電界効果トランジスタと、

前記出力ノードに接続され、前記出力ノードの電圧を安定化させるための安定化容量とをさらに備え、前記出力ノードの電圧は、少なくとも前記中間電圧発生手段へ与えられる、請求項3または4記載の半導体記憶装置。

【請求項10】 前記選択電圧に等しいレベルの電圧を供給する電源ノードと出力ノードとの間に接続され、前記アクセストランジスタのしきい値電圧の絶対値以下の絶対値のしきい値電圧を有し、前記出力ノードに前記選択電圧から前記しきい値電圧分低い電圧を伝達するための絶縁ゲート型電界効果トランジスタと、

前記出力ノードに接続され、前記出力ノードの電圧を安定化させるための安定化容量とをさらに備え、

各前記コラム線は対をなして配設されるビット線を含み、

前記電位設定手段は、

各前記ビット線対に対応して設けられ、活性化時前記出力ノードからの電圧を対応のビット線対の高電位のビット線へ伝達する複数のセンスアンプを含む、請求項1記載の半導体記憶装置。

【請求項11】 前記行選択手段は、

ワード線活性化タイミング信号にตอบสนองして前記選択電圧レベルのワード線選択信号を生成する手段と、

前記ワード線選択信号をアドレス指定された行に対応して配置されるワード線へ伝達する手段とを含み、

前記ワード線選択信号生成手段は、

出力ノードと前記非選択電圧を供給するノードとの間に接続され、導通時前記出力ノードへ前記非選択電圧レベルの電圧を伝達する絶縁ゲート型電界効果トランジスタと、

少なくとも前記ワード線活性化タイミング信号の非活性化時、前記絶縁ゲート型電界効果トランジスタのゲート電極へ前記非選択電圧と前記選択電圧との和に実質的に等しいレベルの電圧を印加する手段とを含む、請求項1記載の半導体記憶装置。

【請求項12】 前記行選択手段は、

与えられた第1のアドレス信号に従って前記ワード線の所定数のワード線の複数の組を指定する信号を発生するワード線群指定信号発生手段と、

与えられた第2のアドレス信号に従って前記所定数のワード線の組のうちの1本のワード線を指定する信号を発生するワード線特定信号発生手段とを含み、前記ワード線特定信号発生手段は、前記組のワード線各々に対応して設けられる指定信号発生回路を有し、前記指定信号発生回路の各々は、

出力ノードと前記非選択電圧供給ノードとの間に設けられ、導通時前記出力ノードへ前記非選択電圧を伝達する絶縁ゲート型電界効果トランジスタと、前記絶縁ゲート型電界効果トランジスタ各々に対応して設けられ、前記第2のアドレス信号に従って前記絶縁ゲート型電界効果トランジスタのゲート電極ノードへ前記非選択電圧と前記選択電圧との和のレベルに実質的に等しい電圧を与えるデコード回路とを含み、

さらに各前記ワード線に対応して設けられ、前記ワード線群指定信号と前記ワード線特定信号とに従って、前記ワード線群指定信号の活性化時、前記ワード線特定信号を対応のワード線上に伝達し、アドレス指定されたワード線へ前記選択電圧レベルへ駆動するワード線ドライブ回路を含む、請求項1記載の半導体記憶装置。

【請求項13】 前記行選択手段は、

ワード線活性化タイミング信号にตอบสนองして、前記選択電圧レベルのワード線選択信号を生成する手段と、

前記ワード線選択信号をアドレス指定された行に対応し

て配置されたワード線へ伝達する手段とを含み、

前記ワード線選択信号生成手段は、

出力ノードと前記選択電圧を供給するノードとの間に接続され、導通時前記出力ノードへ前記選択電圧レベルの電圧を伝達する、前記メモリセルのアクセストランジスタのしきい値電圧の絶対値よりも大きなしきい値電圧の絶対値を有する絶縁ゲート型電界効果トランジスタを含む、請求項1記載の半導体記憶装置。

【請求項14】 前記行選択手段は、

与えられた第1のアドレス信号に従って前記複数のワード線のうちの所定数のワード線の組を指定するワード線群指定信号を発生するワード線群指定信号発生手段と、与えられた第2のアドレス信号に従って、前記所定数のワード線の組のうちの1つのワード線を指定するワード線特定信号を発生するワード線特定信号発生手段とを備え、前記ワード線特定信号発生手段は、前記組のワード線各々に対応して設けられる指定信号発生回路を有し、前記指定信号発生回路の各々は、

出力ノードと前記選択電圧を供給するノードとの間に設けられ、導通時前記出力ノードへ前記選択電圧を伝達する絶縁ゲート型電界効果トランジスタと、

前記絶縁ゲート型電界効果トランジスタ各々に対応して設けられ、前記第2のアドレス信号に従って前記絶縁ゲート型電界効果トランジスタのゲートへ前記選択電圧または非選択電圧レベルの電圧を与えるデコード回路とを含み、前記絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、前記メモリセルのアクセストランジスタのそれよりも大きく、さらに、

各ワード線に対応して設けられ、前記ワード線群指定信号と前記ワード線特定信号とに従って対応のワード線上へ前記ワード線特定信号を伝達するワード線ドライブ回路を含む、請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、ダイナミック型半導体記憶装置に関し、より特定的には、ロジックと同一チップ上に集積化されるダイナミック・ランダム・アクセス・メモリ(DRAM)に関する。

【0002】

【従来の技術】マイクロプロセッサなどのロジックは、ますますその動作速度が速くされてきており、また、DRAMも、その記憶容量が大きくなりまた動作速度も速くされてきている。しかしながら、DRAMは、ダイナミック動作およびアドレス多重化のため動作速度の改善にも限度がある。このため、DRAMの動作速度は、ロジックの動作速度に追従することができず、処理システムの性能が、DRAMの動作速度により決定されてしまい、処理システムの性能改善に対する1つのボトルネックとなる。

【0003】このロジックとDRAMの動作速度のギャップを埋めるために、最近、ロジックとDRAMとを同一チップ上に集積化することが行なわれている。ロジックとDRAMとをビット幅の広いバスで相互接続することにより、DRAMのデータ入出力ピン端子の数の影響を受けることなく、大量のデータを一括して転送することができる。また、プリント回路基板上のボード上配線に比べて、内部配線は、負荷が小さく、高速でデータを転送することができる。

【0004】このようなDRAMとロジックとを混載したLSI（大規模集積回路）においては、性能およびコストを犠牲にしないようにするためには、DRAMおよびロジックの製造プロセスをできるだけ共通にする必要がある。このような観点から、ロジックおよびDRAMの構成要素である絶縁ゲート型電界効果トランジスタ（以下、MOSTランジスタと称す）のゲート絶縁膜の膜厚が等しくされる。たとえば、同一製造基準（集積度の同じもの）で製品化されたDRAMおよびロジックにおいては、DRAMのMOSTランジスタのゲート絶縁膜の膜厚が110Å、一方、ロジックのMOSTランジスタのゲート絶縁膜の膜厚は70Åに設定される。DRAMおよびロジックを同一チップに混載する場合には、DRAMのMOSTランジスタのゲート膜の膜厚を、ロジックの場合と同様、70Åとして、DRAMおよびロジックの製造工程を共通化する。これにより、性能を維持しつつコストの低減を図る。

【0005】図20は、ロジックと混載されるDRAMの要部の構成の一例を示す図である。図20において、メモリセルアレイ部の構成を概略的に示す。このメモリセルアレイにおいては、メモリセルMCが行および列のマトリクス状に配列され、各行に対応してワード線WLが配設され、かつ各列に対応してビット線対が配設される。ワード線WLには、対応の行のメモリセルが接続され、またビット線対には対応の列のメモリセルが接続される。図20においては、4本のワード線WL0～WL3と1対のビット線BLおよび／BLを代表的に示す。

【0006】ワード線WL1およびWL2とビット線BLの交差部に対応してメモリセルMC1およびMC3が配置され、ワード線WL1およびWL3とビット線／BLの交差部に対応してメモリセルMC2およびMC4がそれぞれ配置される。メモリセルMC1～MC4の各々は、情報を格納するためのキャパシタCと、対応のワード線上の信号電位にตอบสนองしてキャパシタCを対応のビット線BL（または／BL）に接続し、キャパシタCに格納された情報を対応のビット線に読出すためのアクセストランジスタTcを含む。アクセストランジスタTcは、nチャネルMOSTランジスタで構成される。

【0007】ビット線対BLおよび／BLには、スタンバイ時にビット線BLおよび／BLを中間電位VBLにプリチャージするためのプリチャージ／イコライズ回路

BPQが設けられる。プリチャージ／イコライズ回路BPQは、イコライズ信号EQにตอบสนองしてビット線BLおよび／BLを電氣的に短絡するイコライズトランジスタT1と、イコライズ信号EQにตอบสนองして導通しビット線BLおよび／BLへ中間電圧発生回路MVからのプリチャージ電圧VBLを伝達するプリチャージトランジスタT2およびT3を含む。これらのトランジスタT1～T3の各々は、nチャネルMOSTランジスタで構成される。

【0008】中間電圧発生回路MVは、DRAMの動作電源電圧（アレイ電圧）VCCと接地電圧GNDとを受け、これらの電圧VCCおよびGNDの1／2の中間電圧を、ビット線プリチャージ電圧VBLとして生成する。この中間電圧発生回路MVは、また中間電位VCC／2（GND＝0V）のセルプレート電圧VCPを、メモリセルMC1～MC4のキャパシタCのセルプレート電極CPへ共通に供給する。

【0009】このビット線BLおよび／BLに対し、さらにセンスアンプ駆動信号φPおよびφNに従って活性化され、ビット線BLおよび／BLの電位を差動的に増幅するセンスアンプSAが設けられる。センスアンプSAは、交差結合されたpチャネルMOSTランジスタで構成されるPセンスアンプ部と、交差結合されたnチャネルMOSTランジスタで構成されるNセンスアンプ部を含む。センスアンプ駆動信号φPは、このPセンスアンプ部を活性化し、センス駆動信号φNは、Nセンスアンプ部を活性化する。Pセンスアンプ部は、対応のビット線BLおよび／BLの高電位のビット線を電源電圧VCCレベルにまで上昇させ、一方、Nセンスアンプ部は、ビット線BLおよび／BLの低電位のビット線の電位を接地電位レベルへ放電する。

【0010】ワード線WL0～WL3に対して、図示しないアドレス信号をデコードし、アドレス指定されたワード線を選択状態へ駆動する行選択回路RSCが設けられる。この行選択回路RSCは、選択ワード線へ動作電源電圧VCCレベルのワード線駆動信号を伝達し、一方、非選択状態のワード線へは、負電圧－VSを伝達する。次にこの図20に示すDRAMの動作について、図21に示す動作波形図を参照して説明する。

【0011】DRAMにおいては、動作サイクル（待機状態にあるスタンバイサイクルおよびメモリ選択動作が行なわれるアクティブサイクル）は、図21（a）に示すロウアドレスストロブ信号／RASにより決定される。ロウアドレスストロブ信号／RASがハイレベルのときには、DRAMはスタンバイサイクルにあり、内部のメモリセルアレイはプリチャージ状態に維持される。このスタンバイサイクルにおいては、図21（b）に示すイコライズ信号EQがハイレベルにあり、プリチャージ／イコライズ回路BPQにおけるトランジスタT1～T3がすべてオン状態にある。したがって、ビット

線BLおよび/B Lは、中間電圧発生回路MVから与えられるプリチャージ電圧VBLの電圧レベルにプリチャージされる。ワード線WL0~WL3は、図21(c)および(d)に示すように、非選択状態にあり、接地電圧GNDよりも低い電圧-VSレベルに保持される。センスアンプ駆動信号φPおよびφNは、図21(e)に示すように中間電位レベルにあり、センスアンプSAは非活性状態にある。非選択状態のワード線が接地電圧よりも低い負電圧-VSの電圧レベルに設定される理由については後に説明する。

【0012】ロウアドレスストロブ信号/RASがローレベルに立下がると、アクティブサイクルが始まり、メモリセル選択動作が開始される。このロウアドレスストロブ信号/RASの立下がりに応答して、イコライズ信号EQがローレベルとなり、プリチャージ/イコライズ回路BPQのトランジスタT1~T3がすべてオフ状態となる。この状態においては、ビット線BLおよび/B Lはプリチャージ電圧VBLでフローティングゲート状態となる。

【0013】次いで、ロウアドレス信号(図示せず)がこのロウアドレスストロブ信号/RASの立下がりに応答して取込まれて行選択回路RSCでデコードされ、このロウアドレス信号によりアドレス指定された行に対応して配置されたワード線WLが選択されて、選択ワード線WLの電位が動作電源電圧VCCレベルのハイレベルに上昇する。図21(c)においては、ワード線WL0が選択状態へ駆動される場合が一例として示される。このワード線WL0の電位が立上ると、選択ワード線WL0に接続されるメモリセルMC(MC1)のアクセストランジスタTcが導通状態となり、メモリセルキャパシタCが対応のビット線BLと電気的に接続される。メモリセルMC1のキャパシタCの蓄積電荷量(記憶情報)に従ってビット線BLとキャパシタCの間で電荷の移動が生じ、ビット線BLの電位が変化する。図21(f)においては、ビット線BLにハイレベルの記憶情報が読出された状態が一例として示される。他方のビット線/B Lにはメモリセルキャパシタは接続されないため、ビット線/B Lはプリチャージ電圧VBLの電圧レベルを維持する。

【0014】このビット線BLにより読出される電圧ΔVが十分大きくなると、センスアンプ駆動信号φPが電源電圧VCCレベルのハイレベル、センスアンプ駆動信号φNが接地電圧GNDレベルのローレベルとなり、センスアンプSAが活性化される。このセンスアンプSAの活性化により、ビット線BLおよび/B Lの電位が差動的に増幅され、ハイレベルのビット線BLの電位が動作電源電圧VCCレベル、低電位のビット線/B Lの電位が接地電圧GNDレベルに設定される。次いで、図示しないコラムアドレス信号が与えられて、デコードされ、このデコードされたコラムアドレス信号が指定する

列のメモリセルが選択され、選択列のメモリセルに対するデータの書込または読出が行なわれる。

【0015】メモリセルへのアクセス動作が完了すると、ロウアドレスストロブ信号/RASがハイレベルへ立上がり、選択ワード線WL0の電位が負電圧-VSレベルのローレベルに立下がり、この選択ワード線WL0に接続されるメモリセルMC1のアクセストランジスタTcがオフ状態となる。次いでセンスアンプ駆動信号φPおよびφNが中間電圧レベルへ復帰し、センスアンプSAが非活性状態となり、ビット線BLおよび/B Lの電位のラッチ動作が停止する。

【0016】次いで、イコライズ信号EQがハイレベルに立上がり、プリチャージ/イコライズ回路BPQにより、ビット線BLおよび/B Lが中間電圧VCC/2レベルのプリチャージ電圧VBLにプリチャージされる。

【0017】この図21に示す動作波形図から明らかにように、ビット線BLおよび/B Lの電圧は、プリチャージ電圧VBLから動作電源電圧VCCまたは接地電圧GNDへ変化する。したがって、ビット線BLおよび/B Lの電圧振幅がVCC/2となり、ビット線BLおよび/B Lがそれぞれ読出されたメモリセルデータにおいてハイレベルおよびローレベルに設定されるのに要する時間が短くなり、早いタイミングでビット線BLおよび/B Lの電圧レベルを確定状態とすることができる。これにより、選択メモリセルへのアクセスタイミングを速くすることができ、高速アクセスが可能となる。

【0018】セルプレート電圧VCPを中間電圧VCC/2の電圧レベルに設定するのは以下の理由による。DRAMの記憶容量が増大した集積度も高くなると、メモリセルの占有面積が小さくなり、応じてメモリセルキャパシタの占有面積も小さくされる。図20に示すビット線BLおよび/B Lの電位差(読出電圧)ΔVがセンスアンプSAにより検知増幅されてメモリセルデータが読出される。センスアンプSAが正確にセンス動作を行なうためには、この読出電圧ΔVの値はできるだけ大きくするのが望ましい。読出電圧ΔVの大きさは、ビット線BL(または/B L)の容量CbとメモリセルキャパシタCの容量Csの比、Cs/Cbにほぼ比例する。したがって、キャパシタCの容量値Csはできるだけ大きくすることが必要とされる。

【0019】メモリセルキャパシタの容量値は、ストレージノードSNとセルプレートとの対向面積およびセルプレートCPとストレージノードSNとの間の距離により決定される。十分な大きさのメモリセルキャパシタの容量値を実現するために、このメモリセルキャパシタCの絶縁膜の膜厚はできるだけ薄くされる。このような薄くされたキャパシタ絶縁膜を有するメモリセルキャパシタCの耐圧特性を保証するために、セルプレート電圧VCPとして中間電圧VCC/2の電圧を印加して、メモリセルキャパシタCのストレージノードSNとセルプレ

ートCPとの間に印加される電圧を中間電圧 $V_{CC}/2$ の電圧レベルに保持する。

【0020】次に、非選択状態のワード線へ負電圧 $-V_S$ を印加する理由について説明する。

【0021】一般に、MOSTランジスタは、そのゲートおよびソースの電位が等しい場合に非導通状態となる。しかしながら、この状態においてMOSTランジスタを介して電流が全く流れなくなるのではなく、「テール電流（サブスレッショルド電流）」と呼ばれる電流が流れる。一般に、しきい値電圧 V_{th} は、所定のゲート幅を有するMOSTランジスタが一定の電流値のドレイン電流を流すときのゲートーソース間電圧として規定されている。

【0022】図22は、nチャネルMOSTランジスタのテール電流特性を示す図であり、縦軸にMOSTランジスタを介して流れるドレイン電流 I_{DS} を示し、横軸にゲートーソース間電圧 V_{GS} を示す。曲線I1に示すように、しきい値電圧 V_{THL} の場合には、ゲートーソース間電圧 V_{GS} が0Vになった場合においても、有意の値を有するドレイン電流 I_{DS0} が流れる。この電流 I_{DS0} をほぼ無視し得る程度にまで低下させるためには、しきい値電圧を V_{THH} の値にまで上昇させる必要がある。しきい値電圧 V_{THL} および V_{THH} よりもそのゲートーソース間電圧 V_{GS} が高くなった場合には、急速に大きなドレイン電流 I_{DS} が流れる。したがって、MOSTランジスタを高速で導通状態とするためには、できるだけ低いしきい値電圧を有するMOSTランジスタを用いるのが好ましい。pチャネルMOSTランジスタのテール電流特性は、図22に示す縦軸に関して曲線I1およびI2と対称な曲線により表わされる。高速動作のためには、できるだけ低いしきい値電圧（絶対値の小さなしきい値電圧）を有するMOSTランジスタを用いるのが好ましい。しかしながら、半導体記憶装置の場合、このような低いしきい値電圧のMOSTランジスタをメモリセルのアクセストランジスタとして用いると以下のような問題が生じる。

【0023】今、図23に示すように、同一列の2つのメモリセルMCaおよびMCbを考える。メモリセルMCaは、ワード線WL aとビット線BLの交差部に対応して配置され、メモリセルMCbが、ワード線WL bとビット線BLの交差部に対応して配置される。これらのメモリセルMCaおよびMCbの各々は、キャパシタCと、アクセストランジスタTcを含む。

【0024】今メモリセルMCaに“1”（ハイレベル）のデータが記憶されている状態において、メモリセルMCbに“0”（ローレベル）のデータを書込む動作を考える。この場合、ワード線WL aの電位は接地電圧GNDレベルのローレベルであり、ワード線WL b上の電位がハイレベルである。

【0025】データ“0”をメモリセルMCbに書込む

場合、ビット線BLの電位が接地電圧GNDレベルに設定される。この状態においては、メモリセルMCaのアクセストランジスタTcは、ゲート（ワード線WL a）の電位とソース（ビット線BL）の電位が同じとなる。したがって、このアクセストランジスタTcとして、図42の曲線I1に示すようなテール電流特性を有するMOSTランジスタを用いた場合、メモリセルMCaにおいて、テール電流がメモリセルキャパシタCからビット線BLへ流れ、このメモリセルMCaのキャパシタCの蓄積電荷量が低下する。したがって、メモリセルの電荷保持特性が劣化し、半導体記憶装置の信頼性が損なわれる。また、このメモリセルMCaに格納された“1”のデータが、このテール電流による電荷流出のために

“0”のデータに変化する状態が生じ、正確にデータを記憶する半導体記憶装置を実現することができなくなり、半導体記憶装置の信頼性がまた損なわれる。この書込動作は、通常データ読出時において、センスアンプによるセンス動作により、ビット線電位が接地電圧GNDレベルに放電された場合にも生じる。

【0026】このようなテール電流による蓄積電荷の流出を防止するために、図23において括弧で示すように、非選択状態のワード線へ、接地電圧GNDよりも低い負電圧 $-V_S$ を印加する。これにより、アクセストランジスタTcのゲート電位がそのソースよりも低くなり、ゲートーソース間電圧 V_{GS} が負の電圧レベルとなり、アクセストランジスタTcのゲートーソース間を深い逆バイアス状態として、テール電流が流れるのを防止する。

【0027】この非選択状態のワード線へ負電圧 $-V_S$ を印加することにより、選択ワード線（図23においてワード線WL b）の電圧レベルが、動作電源電圧 V_{CC} レベルであり、キャパシタCに伝達されるハイレベルのデータの電圧レベルが $V_{CC}-V_{TH}$ と低くなっても、確実に情報を記憶することができる。

【0028】

【発明が解決しようとする課題】今、図24に示すように、ワード線WL aを選択状態とし、メモリセルMCaに格納されたデータ“1”がビット線BLに読出された状態を考える。このビット線BLに読出されたデータ“1”は、図示しないセンスアンプにより動作電源電圧 V_{CC} レベルにまで増幅される。この状態において、非選択ワード線WL bへは、負電圧 $-V_S$ が伝達されている。この非選択ワード線WL bとビット線BLの電位差 VBW は、次式で表わされる。

【0029】 $VBW = V_{CC} - (-V_S) = V_{CC} + V_S > V_{CC}$ すなわち、この非選択ワード線WL bとビット線BLの電位差 VBW は、動作電源電圧 V_{CC} よりも、負電圧 $-V_S$ の絶対値 V_S 分大きくなる。

【0030】図25は、メモリセルの断面構造を概略的に示す図である。図25においては、層間絶縁膜等は省

略し、簡略化した形でメモリセルの断面構造を示す。

【0031】図25において、メモリセルMCは、半導体基板領域900表面に形成されるN型不純物領域901aおよび901bを含む。不純物領域901aは、低不純物濃度のN型不純物領域901aaと、この不純物領域901aa内に形成される高濃度N型(N+)不純物領域901abを含む。不純物領域901bも同様、低不純物濃度のN型不純物領域901baと、この不純物領域901ba内に形成される高濃度N型不純物領域901bbを含む。

【0032】メモリセルMCは、さらに、半導体基板領域900表面の、不純物領域901aおよび901bの間の領域上にゲート絶縁膜902を介して形成されるゲート電極904を含む。この不純物領域901a、901bおよびゲート電極904が、アクセストランジスタを構成する。

【0033】メモリセルMCは、さらに、不純物領域901b(901bb)に接続される導電層905と、この導電層905の上部平坦面に対向してキャパシタ絶縁膜を介して形成される導電層906を含む。この導電層905は、不純物領域901bに接続するプラグ部分905aと、このプラグ部分905aと一体的に形成される上部の平坦面905bを含む。導電層906は、セルプレートノードCPに接続され、ゲート電極904がワード線WLに接続される。

【0034】この図25に示すメモリセルMCは、不純物領域901aおよび901bが、LDD(Lightly Doped Drain)構造を有している。このLDD構造により、不純物領域901aおよび901bとゲート電極904境界部における高電界の発生を抑制する。このLDD構造においては、まず、ゲート電極904に対し自己整合的に低不純物濃度のN型不純物領域901aaおよび901baが形成される。次いで、このゲート電極904側部に、側壁絶縁膜(図示せず)を形成し、この側壁絶縁膜をマスクとして、N型不純物イオン注入を行なって、高濃度N型不純物領域901abおよび901bbを形成する。イオン注入工程後においては、この注入イオンの活性化のために熱処理が行なわれる。この熱処理工程において、不純物領域901aaおよび901baのN型不純物が横方向に拡散する。この結果、不純物領域901aaおよび901baとゲート電極904とが重なり合う領域910が生じる。この重なり合った領域910においては、薄いゲート絶縁膜が形成されているだけである。

【0035】上述のように、ワード線WLとビット線BLの電位差が、 $VCC+VS$ の場合、重なり領域910におけるゲート絶縁膜へは、耐圧が保証された電源電圧VCCよりも高い電圧が印加されることになる。この動作電源電圧以上の電圧の重なり領域910への印加は、通常のアクセス動作時において、センス動作が行なわれ

たときに、ビット線BLおよびBLは、一方が動作電源電圧VCCレベル、他方が接地電圧GNDレベルへ駆動されるため、常に、非選択ワード線に接続されるメモリセルの半数のメモリセルにおいて生じる。このような、高電圧の繰返し印加により、アクセストランジスタの絶縁膜の信頼性が低下するという問題が生じる。

【0036】この高電圧がゲート絶縁膜に印加される問題は、非選択ワード線へ負電圧 $-VS$ を伝達する回路部分のMOSTランジスタにおいても生じる。すなわち、このワード線WLと負電圧 $-VS$ を供給するノードとの間に接続されるワード線駆動用MOSTランジスタのゲートへ、電源電圧VCCレベルの制御信号が与えられるときに生じる。

【0037】それゆえ、この発明の目的は、信頼性の高いワード線非昇圧方式の半導体記憶装置を提供することである。

【0038】この発明の他の目的は、ロジックとの混載に適した信頼性の高いDRAMを提供することである。

【0039】この発明のさらに他の目的は、構成要素のMOSTランジスタのゲート絶縁膜の信頼性が保証されたワード線非昇圧方式のDRAMを提供することである。

【0040】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、行列状に配列され、各々が2値データを格納する複数のメモリセルを備える。これら複数のメモリセルの各々は、2値データを格納するためのキャパシタと、しきい値電圧を有し、導通時このキャパシタに格納されたデータを読み出すためのアクセストランジスタを含む。

【0041】請求項1に係る半導体記憶装置は、さらに、各行に対応して配置され、各々に対応の行のメモリセルのアクセストランジスタの制御電極ノードが接続される複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルのアクセストランジスタの一方導通ノードが接続する複数のコラム線と、与えられたアドレス信号に従って、アドレス指定された行に対応する選択ワード線を選択電圧レベルへ駆動するとともに、残りの非選択ワード線をこの選択電圧と極性の異なる非選択電圧レベルに維持する行選択手段と、各列に対応して設けられ、活性化時対応のコラム線に読出されたメモリセルのデータに従って、該対応のコラム線をメモリセルのデータに対する電位レベルに設定する電位設定手段を備える。この電位設定手段は、該対応のコラム線に、2値のうちのハイレベルのデータが読出されたとき、対応のコラム線の電位を、選択電圧からアクセストランジスタのしきい値電圧の絶対値分低いレベルに設定する手段を含む。

【0042】請求項2に係る半導体記憶装置は、請求項2の行選択手段が、各ワード線に対応して設けられ、非

選択電圧供給ノードと対応のワード線との間に設けられるトランジスタ素子と、トランジスタ素子に対応して設けられ、アドレス信号に従って対応のワード線が非選択のとき、このトランジスタ素子の制御電極ノードへ非選択電圧よりも選択電圧高いレベルの電圧を印加する手段とを含む。

【0043】請求項3に係る半導体記憶装置は、請求項1の装置において、メモリキャパシタが、対応のアクセストランジスタに接続されるストレージノードと、このストレージノードと対向して配置されるセルプレート電極ノードとを有する。この請求項3の半導体記憶装置は、さらに、メモリセルのキャパシタのセルプレート電極ノードへ、選択電圧とアクセストランジスタのしきい値電圧の絶対値の差の半分に実質的に等しいレベルの電圧を供給する中間電圧発生手段を備える。

【0044】請求項4に係る半導体記憶装置は、請求項1の装置が、さらに、選択電圧とアクセストランジスタのしきい値電圧との差の半分に実質的に等しいレベルの電圧を発生する中間電圧発生手段と、各コラム線に対応して設けられ、半導体記憶装置のスタンバイ状態時活性化され、この中間電圧発生手段からの電圧を対応のコラム線へ伝達するプリチャージ手段を備える。

【0045】請求項5に係る半導体記憶装置は、請求項1の行選択手段が、各ワード線に対応して設けられ、活性化時対応のワード線へ非選択電圧を伝達するための絶縁ゲート型電界効果トランジスタを含む。この絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、非選択電圧の絶対値よりも大きくされている。

【0046】請求項6に係る半導体記憶装置は、請求項1の行選択手段が、各ワード線に対応して設けられ、活性化時対応のワード線へ非選択電圧を伝達するための絶縁ゲート型電界効果トランジスタを含む。この請求項6の半導体記憶装置は、さらに、各絶縁ゲート型電界効果トランジスタのバックゲート領域へ、この絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値が非選択電圧の絶対値よりも大きくなるレベルのバイアス電圧を印加する手段をさらに備える。

【0047】請求項7に係る半導体記憶装置は、請求項1の装置が、さらに、チャージポンプ動作に従って、非選択電圧と同一極性の電圧を出力ノードに出力するチャージポンプ手段と、このチャージポンプ手段の出力ノードに設けられ、出力ノードの電圧を非選択電圧レベルにクランプするためのダイオード接続された絶縁ゲート型電界効果トランジスタと、このチャージポンプ手段の出力ノードの電圧を安定化するための安定化容量とをさらに備える。このチャージポンプ手段の出力ノードに生成された電圧が、行選択手段へ与えられて、非選択ワード線へ非選択電圧として伝達される。

【0048】請求項8に係る半導体記憶装置は、請求項7の絶縁ゲート型電界効果トランジスタのしきい値電圧

の絶対値は、メモリセルのアクセストランジスタのしきい値電圧の絶対値以下の値にされている。

【0049】請求項9に係る半導体記憶装置は、請求項3または4の装置が、選択電圧に等しいレベルの電圧を供給する電源ノードと出力ノードとの間に接続され、メモリセルのアクセストランジスタのしきい値電圧の絶対値以下の絶対値のしきい値電圧を有し、この出力ノードに選択電圧よりしきい値電圧分低下させた電圧を伝達する絶縁ゲート型電界効果トランジスタと、この出力ノードに接続され、この出力ノードの電圧を安定化させるための安定化容量とをさらに備える。この出力ノードの電圧は、少なくとも中間電圧発生手段へ与えられる。

【0050】請求項10に係る半導体記憶装置は、請求項1の装置が、さらに、選択電圧に等しいレベルの電圧を供給する電源ノードと出力ノードとの間に接続され、アクセストランジスタのしきい値電圧の絶対値以下の絶対値のしきい値電圧を有し、出力ノードにこの選択電圧よりもしきい値電圧の絶対値分低下させた電圧を伝達する絶縁ゲート型電界効果トランジスタと、この出力ノードに接続され、出力ノードの電圧を安定化させるための安定化容量とをさらに備える。コラム線は対をなして配設されるビット線を含む。

【0051】この請求項10の装置は更に、電位設定手段が、ビット線対に対応して設けられ、活性化時出力ノードからの電圧を対応のビット線対の高電位のビット線へ伝達する複数のセンスアンプを含む。

【0052】請求項11に係る半導体記憶装置は、請求項1の装置の行選択手段が、ワード線活性化タイミング信号に応答して、選択電圧レベルのワード線選択信号を生成する手段と、このワード線選択信号をアドレス指定された行対応に設けられたワード線へ伝達する手段とを含む。ワード線選択信号生成手段は、出力ノードと非選択電圧を供給ノードとの間に接続され、導通時出力ノードへこの非選択電圧レベルの電圧を伝達する絶縁ゲート型電界効果トランジスタと、少なくともワード線活性化タイミング信号の非活性化時、この絶縁ゲート型電界効果トランジスタのゲートへ非選択電圧と選択電圧との和に実質的に等しいレベルの電圧を印加する手段とを含む。出力ノードは、対応のワード線に接続される。

【0053】請求項12に係る半導体記憶装置は、請求項1の装置の行達成手段が、与えられた第1のアドレス信号に従ってワード線の所定数の組を指定するワード線群指定信号を発生する手段と、与えられた第2のアドレス信号に従ってこの所定数のワード線の組のうちの1本のワード線を指定するワード線特定信号を発生する手段とを含む。このワード線特定信号発生手段が、組のワード線各々に対応して設けられる指定信号発生回路を備える。この指定信号発生回路の各々は、対応のワード線に結合される出力ノードと非選択電圧供給ノードとの間に設けられ、導通時この出力ノードへ非選択電圧を伝達す

る絶縁ゲート型電界効果トランジスタと、各絶縁ゲート型電界効果トランジスタ各々に対応して設けられ、第2のアドレス信号に従ってこの絶縁ゲート型電界効果トランジスタのゲートへ選択電圧と非選択電圧との和のレベルに実質的に等しい電圧を与えるデコード回路と、各ワード線に対応して設けられ、このワード線群指定信号とワード線特定信号とに従って、このワード線群指定信号に従って、対応のワード線へワード線特定信号を伝達し、これによりアドレス指定されたワード線へ選択電圧レベルの電圧を伝達するワード線ドライブ回路を含む。

【0054】請求項13に係る半導体記憶装置は、請求項1の行選択手段が、ワード線活性化タイミング信号に応答して選択電圧レベルのワード線選択信号を生成する手段と、ワード線選択信号をアドレス指定された行対応のワード線へ伝達する手段とを含む。ワード線選択信号生成手段は、出力ノードと非選択電圧供給ノードとの間に接続され、ワード線選択動作活性化タイミング信号の活性化にตอบสนองして導通し、この出力ノードに選択電圧レベルの電圧を伝達する絶縁ゲート型電界効果トランジスタを含む。この絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、アクセストランジスタのそれよりも大きくされている。

【0055】請求項14に係る半導体記憶装置は、請求項1の行選択手段が、与えられた第1のアドレス信号に従って複数のワード線の所定数のワード線の組を指定する信号を発生するワード線群指定信号発生手段と、与えられた第2のアドレス信号に従って、所定数のワード線の組を指定するワード線群特定信号を発生する手段と、与えられた第2のアドレス信号に従って所定数のワード線の組のうちの1本のワード線を指定するワード線特定信号を発生する手段とを含む。ワード線特定信号発生手段は、所定数のワード線の組のワード線各々に対応して設けられる指定信号発生回路を備える。この指定信号発生回路の各々は、出力ノードと、導通時この出力ノードへ非選択電圧レベルの電圧を伝達する絶縁ゲート型電界効果トランジスタと、各ワード線に対応して設けられ、ワード線群指定信号とワード線特定信号とに従って、このワード線群指定信号が指定するワード線へワード線特定信号を伝達して、アドレス指定されたワード線を選択電圧レベルへ駆動するワード線ドライブ回路を含む。絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、アクセストランジスタのそれよりも大きくされている。

【0056】請求項1の装置において、ハイレベルデータが伝達されたコラム線の電圧は、選択電圧と非選択電圧の絶対値の差に等しい電圧レベルにまでしか駆動されない。したがって、非選択ワード線とハイレベルデータが読出されたコラム線の電位差は、選択電圧レベルとなり、信頼性が保証された電圧レベルの電圧しかアクセストランジスタに印加されないため、アクセストランジス

タのゲート絶縁膜の信頼性が保証される。

【0057】請求項2に係る装置においては、ワード線を非選択状態へ駆動するトランジスタ素子のゲートへは、非選択電圧よりも選択電圧分高いレベルの電圧が印加されている。したがってこのトランジスタの制御電極ノードと非選択電圧を受ける導通ノードの間の電位差は選択電圧レベルとなり、このワード線を非選択状態へ駆動するトランジスタ素子の信頼性が保証される。

【0058】請求項3に係る装置においては、メモリセルキャパシタのセルプレートへは、選択電圧とアクセストランジスタのしきい値電圧の絶対値の差の半分の電圧が印加される。したがって、キャパシタに格納されるハイレベルデータの電位が選択電圧とアクセストランジスタのしきい値電圧の絶対値の差であり、かつローレベルデータが接地電圧レベルのときに、確実にこのセルプレート電位を、ハイレベルデータとローレベルデータの中間の電位レベルに設定することができ、ハイレベルデータ読出時とローレベルデータ読出時の読出電圧を等しくすることができる（蓄積電荷量は、その絶対値が等しく、符号が単に異なるだけであるため）。

【0059】請求項4に係る装置においては、コラム線は、選択電圧と、アクセストランジスタのしきい値電圧の絶対値の差の半分の電圧レベルにプリチャージされる。したがって、確実にコラム線電位を、ハイレベルとローレベルデータの中間電圧レベルに設定することができ、この中間電圧を基準として、ハイレベルデータおよびローレベルデータ読出時の電位変化が等しくなり、センス動作を確実にこなうことができる。

【0060】請求項5に係る装置においては、ワード線を非選択状態へ駆動する絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値を、この非選択電圧の絶対値よりも大きくしており、この絶縁ゲート型電界効果トランジスタの非導通時、選択ワード線から非選択電圧供給ノードへのリーク電流を低減することができる。

【0061】請求項6に係る装置においては、ワード線を非選択状態へ駆動するための絶縁ゲート型電界効果トランジスタのバックゲートへ、バイアス電圧を印加して、そのしきい値電圧の絶対値を大きくしており、このバイアス電圧レベルを調整することにより、この絶縁ゲート型電界効果トランジスタ非導通時におけるリーク電流を効果的に低減することができる。

【0062】請求項7に係る装置においては、非選択電圧レベルを、ダイオード接続された絶縁ゲート型電界効果トランジスタにより決定しており、容易に非選択電圧を生成することができ、また他の構成要素の絶縁ゲート型電界効果トランジスタを利用することにより、選択電圧と非選択電圧の絶対値の差の電圧を容易に生成することが可能となる。

【0063】請求項8に係る半導体記憶装置においては、このクランプ用の絶縁ゲート型電界効果トランジス

タのしきい値電圧の絶対値がアクセストランジスタのしきい値電圧の絶対値以下の値に実質的に等しくされており、ワード線ドライバにおける非導通トランジスタを介してのリーク電流を抑制することができる。

【0064】請求項9に係る装置においては、中間電圧は、絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値分低下させることにより生成しており、容易に必要とされる中間電圧を生成することができる。

【0065】請求項10に係る装置においては、この絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値の低下された電圧を、センスアンプにより、ハイレベルデータが読出されるビット線へ伝達しており、容易にハイレベルデータが読出されたビット線電位を所定の電圧レベルに設定することができる。

【0066】請求項11に係る装置においては、ワード線を選択状態へ駆動するための絶縁ゲート型電界効果トランジスタのゲートへは、非選択時、この非選択電圧と選択電圧との和に等しいレベルの電圧を印加しており、このワード線選択用のトランジスタのゲートと一方導通ノードとの間の電圧を選択電圧レベルとすることができ、ゲート絶縁膜の信頼性が保証される。

【0067】請求項12に係る装置においては、プリデコード方式でワード線駆動信号を生成するワード線駆動信号発生部の絶縁ゲート型電界効果トランジスタのゲート電圧を選択電圧と非選択電圧の差に等しい電圧レベルに設定しており、このワード線駆動信号発生における絶縁ゲート型電界効果トランジスタのゲート絶縁膜に、信頼性が保証された以上の電圧が印加されるのを防止することができる。

【0068】請求項13に係る装置においては、ワード線へ選択電圧を伝達する絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値が、非選択電圧の絶対値よりも大きくされており、この絶縁ゲート型電界効果トランジスタの非導通時のリーク電流を低減することができる。

【0069】請求項14に係る装置においては、プリデコード方式のワード線駆動回路において、このワード線を選択状態へ駆動する絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値が非選択電圧の絶対値よりも大きくされており、この絶縁ゲート型電界効果トランジスタの非導通時のリーク電流を低減することができる。

【0070】

【発明の実施の形態】〔実施の形態1〕図1は、この発明の実施の形態1に従うDRAMの要部の構成を概略的に示す図である。図1においては、ロウアドレスストロブ信号/RASに関連して動作する部分の構成のみを示す。図面を簡略化するために、列選択動作に関連する部分の構成は示していない。

【0071】図1において、DRAMは、行列状に配列される複数のメモリセルを有するメモリセルアレイ1

と、図示しないアドレスバッファから与えられる内部ロウアドレス信号をデコードするロウデコード2と、活性化時内部アドレス信号の所定数のビットをデコードし、ワード線駆動信号を発生するワード線駆動信号発生回路3と、ロウデコード2からのデコード信号とワード線駆動信号発生回路3からのワード線駆動信号とに従って、メモリセルアレイ1のアドレス指定された行を選択状態へ駆動するワード線ドライブ回路4を含む。

【0072】ロウデコード2は、後にその構成を詳細に説明するが、メモリセルアレイ1において、複数本のワード線の組を指定するデコード信号を生成する。ワード線駆動信号発生回路3は、タイミング信号φXを受け、かつ内部アドレス信号の所定数のビットをデコードし、この複数本のワード線の組のうちの1つを選択するワード線駆動信号φWを生成する。

【0073】ワード線ドライブ回路4は、このロウデコード2により指定された複数本のワード線の組へワード線駆動信号発生回路3からのワード線駆動信号φWを伝達する。このワード線ドライブ回路4は、負電圧発生回路5から与えられる非選択電圧としての負電圧-VSを、メモリセルアレイ1の非選択状態のワード線へ伝達する。ワード線駆動信号発生回路3は、選択電圧としての動作電源電圧VCCと接地電圧を両動作電源電圧として動作する入力段と、電源電圧VCCと非選択電圧としての負電圧（以下、単に負電圧と称す）-VSとを両動作電源電圧として動作するレベル変換用の出力段とを備える。したがって、このワード線駆動信号発生回路3から出力されるワード線駆動信号φWは、電源電圧VCCと負電圧-VSの間で変化する。

【0074】DRAMは、さらに、電源電圧VCCと接地電圧とから、この電源電圧よりも低い内部電圧（以下、アレイ電圧と称す）VCIを生成する内部電圧発生回路6と、この内部電圧発生回路6からのアレイ電圧VCIと接地電圧とを受けて、アレイ電圧VCIと接地電圧GNDとの間の中間電圧VBLIおよびVCPiを生成する中間電圧発生回路7を含む。この中間電圧発生回路7からの中間電圧VBLIは、メモリセルアレイ1に含まれるビット線プリチャージ/イコライズ回路へ与えられ、スタンバイ状態時において、各ビット線をこの中間電圧レベルにプリチャージするために用いられる。中間電圧VCPiは、メモリセルアレイ1に含まれるメモリセルのキャパシタのセルプレートへ印加される。

【0075】DRAMは、さらに、センスアンプ活性化信号φPAおよびφNAに応答して活性化され、センスアンプ駆動信号φPおよびφNを出力するセンスアンプ駆動回路8と、メモリセルアレイ1の各列（ビット線対）に対応して設けられるセンスアンプを含み、センスアンプ駆動信号φPおよびφNに従って対応の列に読出されたメモリセルデータの検知、増幅およびラッチを行なうセンスアンプ回路9を含む。センスアンプ駆動信号

φPは、活性化時、このアレイ電圧VCIレベルに設定される。センスアンプ駆動信号φPは、センスアンプ回路9に含まれるPセンスアンプ部へ与えられ、活性化時アレイ電圧VCIレベルに設定される。センスアンプ駆動信号φNは、センスアンプ回路9に含まれるNセンスアンプ部へ与えられ、活性化時接地電圧GNDレベルに設定される。

【0076】DRAMは、さらに、電源電圧VCCと接地電圧GNDを両動作電源電圧として動作し、外部からのロウアドレスストローブ信号/RASを受けるRASバッファ10と、電源電圧VCCと接地電圧を両動作電源電圧として動作し、RASバッファ10からの内部ロウアドレスストローブ信号に従って所定のタイミングでワード線選択動作活性化信号φXを活性状態へ駆動するワード線選択活性化回路11と、電源電圧VCCと接地電圧GNDとを両動作電源電圧として動作し、ワード線選択活性化回路11の出力信号の活性化に応答して所定のタイミングでセンスアンプ活性化信号φPAおよびφNAを活性状態へ駆動するセンスアンプ活性化回路12を含む。

【0077】センスアンプ回路9へ、アレイ電圧VCIレベルのセンスアンプ駆動信号φPを与えてセンス動作を行なうことにより、メモリセルアレイ1において、ビット線電位はアレイ電圧VCIまでしか上昇しない。このアレイ電圧VCIは、電源電圧VCCよりも低い電圧レベルである。したがって、メモリセルのアクセストランジスタのゲート絶縁膜に対し、電源電圧よりも高い電圧が印加されるのを防止することができる。また、このアレイ電圧VCIに従って中間電圧VBLIおよびVCPiを生成することにより、ビット線の電位振幅のちょうど中間の電圧レベルに正確に設定することができ、正確なセンス動作を行なうことができる。次に、各部の詳細構成について説明する。

【0078】図2は、図1に示すDRAMの具体的構成例を示す図である。図2においては、2本のワード線WL aおよびWL bと1対のビット線BLおよび/BLに関連する部分の構成が代表的に示される。ワード線WL aとビット線/BLの交差部に対応してメモリセルMC aが配置され、ワード線WL bとビット線BLの交差部に対応してメモリセルMC bが配置される。メモリセルMC aおよびMC bの各々は、キャパシタCと、nチャネルMOSTランジスタで構成されるアクセストランジスタTcを含む。メモリセルMC aおよびMC bのキャパシタCのセルプレート電極ノードCPへ、中間電圧発生回路7からの中間電圧VCPiが与えられる。

【0079】ビット線対BLおよび/BLに対して、イコライズ信号EQにตอบสนองして、中間電圧発生回路7からの中間電圧VBLIをビット線BLおよび/BLへ伝達するプリチャージ/イコライズ回路BPQが設けられる。このプリチャージ/イコライズ回路BPQは、図2

0に示す従来の構成と同様、イコライズ用のnチャネルMOSTランジスタT1ならびにプリチャージ用のnチャネルMOSTランジスタT2およびT3を含む。センスアンプ回路9に含まれるセンスアンプSAは、ゲートとドレインとが交差結合されたpチャネルMOSTランジスタPQ1およびPQ2と、ゲートおよびドレインが交差結合されたnチャネルMOSTランジスタNQ1およびNQ2を含む。pチャネルMOSTランジスタPQ1およびPQ2の結合ノード（ソース）へセンスアンプ駆動信号φPが与えられる。nチャネルMOSTランジスタNQ1およびNQ2の接続ノード（ソース）へセンスアンプ駆動信号φNが与えられる。このセンスアンプ駆動信号φPおよびφNを伝達する信号線に対しては、ビット線プリチャージ/イコライズ回路BPQと同様の構成のプリチャージ/イコライズ回路が設けられるが、図2においては示していない。

【0080】このセンスアンプ駆動信号φPおよびφNを発生するセンスアンプ駆動回路8は、センスアンプ活性化信号φPAの活性化時（ローレベル）導通し、内部電圧発生回路6からのアレイ電圧VCIを伝達してセンスアンプ駆動信号φPを活性化するpチャネルMOSTランジスタ8aと、センスアンプ活性化信号φNAの活性化時（ハイレベル）導通し、接地電圧レベルを伝達してセンスアンプ駆動信号φNを接地電圧レベルに駆動するnチャネルMOSTランジスタ8bを含む。

【0081】アレイ電圧VCIを発生する内部電圧発生回路6は、電源電圧供給ノードVCC（電源電圧とそのノードを同一参照符号で示す）と出力ノードNDaの間に接続されかつダイオード接続されたnチャネルMOSTランジスタ6aと、出力ノードNDaと接地ノードの間に接続される比較的大きな容量値を有する安定化容量6bを含む。この出力ノードNDaからアレイ電圧VCIが出力される。MOSTランジスタ6aは、アクセストランジスタTcと同じゲート絶縁膜の膜厚を有し、かつこのアクセストランジスタTcのしきい値電圧と実質的に等しいしきい値電圧を有する。したがって、アレイ電圧VCIは、VCC-VTHの電圧レベルとなる。ここで、VTHは、MOSTランジスタ6a（アクセストランジスタTc）のしきい値電圧を示す。

【0082】ロウデコード2は、ワード線WL aおよびWL bに対して共通に設けられるロウデコード回路2aと、電源電圧VCCと接地電圧を両動作電源電圧として動作し、ロウデコード回路2aの出力信号を反転するインバータ2bと、電源電圧VCCをゲートに受け、インバータ2bの出力信号をノード2dへ伝達するnチャネルMOSTランジスタ2cを含む。このMOSTランジスタ2cは、インバータ2bの出力信号がハイレベル（電源電圧VCCレベル）のとき、そのしきい値電圧VTH分低下させて出力ノード2dへ伝達する。このMOSTランジスタ2cのしきい値電圧も、アクセストラ

ジスタTcのしきい値電圧と実質的に等しくされる。以下の説明において、特に断らないかぎり、このロジックと混載されるDRAMにおいて、ロジック部のMOSTランジスタおよびDRAMのMOSTランジスタのゲート絶縁膜の膜厚がすべて等しくされる。したがって、これらのMOSTランジスタのしきい値電圧はすべて等しいものとする。

【0083】ワード線ドライブ回路4は、ワード線WL aに対して設けられるワード線ドライバ4 a、およびワード線WL bに対して設けられるワード線ドライバ4 bを含む。これらのワード線ドライバ4 aおよび4 bへは共通に、ロウデコード回路2 aの出力信号が与えられる。ワード線ドライバ4 aは、電源電圧VCCをそのゲートに受け、ロウデコード回路2 aの出力信号を伝達するnチャネルMOSTランジスタ4 a aと、このMOSTランジスタ4 a aを介して伝達される信号がハイレベルのとき、ワード線駆動信号φW1をワード線WL aへ伝達するnチャネルMOSTランジスタ4 a bと、負電圧供給ノード4 cとワード線WL aの間に設けられ、そのゲートがノード2 dに接続されるnチャネルMOSTランジスタ4 a cを含む。

【0084】ワード線ドライバ4 bは、電源電圧VCCをゲートに受け、ロウデコード回路2 aの出力信号を伝達するnチャネルMOSTランジスタ4 b aと、このMOSTランジスタ4 b aの伝達する信号がハイレベルのとき導通し、ワード線駆動信号φW2をワード線WL bへ伝達するnチャネルMOSTランジスタ4 b bと、ワード線WL bと負電圧供給ノード4 cの間に接続されかつそのゲートがノード2 dに接続されるnチャネルMOSTランジスタ4 b cを含む。

【0085】ワード線駆動信号φW1およびφW2は、その発生態様は後に詳細に説明するが、いずれか一方が活性状態の電源電圧レベルとされ、他方が、非活性状態の負電圧-VSレベルとされる。ロウデコード回路2 aは、2本のワード線の組を選択し、この2本のワード線のうちの一方が、ワード線駆動信号φW1およびφW2により選択状態へ駆動される。1つのロウデコード回路2 aが同時に選択するワード線WLの数は、ワード線WLのピッチとロウデコード回路2 aのピッチとの関係で決定される。1つのロウデコード回路2 aに対して、4本または8本のワード線が設けられる構成が用いられてもよい。この場合において、各4本のワード線の組または8本のワード線の組のうち1つのワード線がワード線駆動信号により選択状態へ駆動される。

【0086】負電圧発生回路5は、図示しないたとえばオンチップのリングオシレータから出力されるクロック信号φに従ってチャージポンプ動作を行なうキャパシタ5 aと、キャパシタ5 aの一方電極ノードと接地ノードとの間に接続されかつそのゲートがキャパシタ5 aの一方電極ノードに接続されるnチャネルMOSTランジスタ5 bと、キャパシタ5 aの一方電極ノードと出力ノードND bの間に接続されかつそのゲートが出力ノードND bに接続されるnチャネルMOSTランジスタ5 cと、出力ノードND bと接地ノードの間に接続されかつそのゲートが接地ノードに接続されるnチャネルMOSTランジスタ5 dと、出力ノードND bと接地ノードの間に接続され、接地ノードND bの電位を安定化させるための比較的大きな容量値を有する安定化容量5 eを含む。MOSTランジスタ5 b、5 cおよび5 dはダイオードとして動作する。

【0087】この負電圧発生回路5の動作において、クロック信号φがハイレベルに立上ると、キャパシタ5 cの一方電極ノードの電位が上昇し、MOSTランジスタ5 bが導通し、キャパシタ5 aの一方電極ノードの電位を、そのしきい値電圧VTHレベルにクランプする。クロック信号φがローレベル（接地電圧レベル）に立下ると、MOSTランジスタ5 bがオフ状態となり、キャパシタ5 aの一方電極ノードが、VTH-VCCレベルに低下する。これにより、MOSTランジスタ5 cが導通し、出力ノードND bの電位を低下させる。MOSTランジスタ5 cは、出力ノードND bの電位がキャパシタ5 aの一方電極ノードの電位よりもMOSTランジスタ5 cのしきい値電圧分高くなると非導通状態となる。

【0088】したがって、このチャージポンプ動作により、出力ノードND bの電位は、最終的に $2 \cdot VTH - VCC$ レベルにまで低下する。しかしながら、出力ノードND bの電位が、 $-VTH$ レベル以下に低下すると、MOSTランジスタ5 dが導通し、この出力ノードND bの電圧レベルを上昇させる。したがって出力ノードND bの電圧レベルは、 $-VTH$ レベルとなる（接地電圧を0Vとする）。この出力ノードND bの負電圧-VS（ $= -VTH$ ）は、安定化容量5 eにより、安定に保持されて、ワード線ドライブ回路4の各ワード線ドライバの負電圧供給ノード4 cへ供給される。

【0089】図3は、図1に示すワード線駆動信号発生回路3の構成の一例を示す図である。図3において、ワード線駆動信号発生回路3は、ワード線WL aに対するワード線駆動信号φW1を生成するワード線駆動信号発生回路3 aと、ワード線WL bに対するワード線駆動信号φW2を発生するワード線駆動信号発生回路3 bを含む。ワード線駆動信号発生回路3 aは、内部ロウアドレス信号ビットRA0とワード線選択動作活性化信号φXとを受けるNAND回路3 a aと、そのゲートに電源電圧VCCを受け、NAND回路3 a aの出力信号を伝達するnチャネルMOSTランジスタ3 a bと、電源ノードVCCと出力ノードNcの間に接続されかつそのゲートにNAND回路3 a aの出力信号を受けるpチャネルMOSTランジスタ3 a cと、出力ノードNcと負電圧-VS供給ノードとの間に接続され、そのゲートに、M

OSTランジスタ3abを介してNAND回路3aaの出力信号を受けるnチャネルMOSTランジスタ3adを含む。出力ノードNcから、ワード線駆動信号φW1が出力される。

【0090】ワード線駆動信号発生回路3bは、補の内部ロウアドレス信号/RA0を受けることを除いて、ワード線駆動信号発生回路3aと同じ構成を備える。MOSTランジスタ3abおよび3bbは、しきい値電圧 V_{TH} を有し、電圧 $V_{CC}-V_{TH}$ のレベルの信号を伝達する。したがって、NAND回路3aaまたは3baの出力信号が電源電圧 V_{CC} のハイレベルのとき、MOSTランジスタ3adまたは3bdのゲートへは、電圧 $V_{CC}-V_{TH}$ が与えられる。負電圧 $-V_S$ は、図2において説明したように、実質的に $-V_{TH}$ の電圧レベルである。したがって、MOSTランジスタ3adおよび3bdのゲートソース間の電位差は、 V_{CC} レベルとなり、これらのMOSTランジスタ3adおよび3bdのゲート絶縁膜の信頼性は保証される。pチャネルMOSTランジスタ3acおよび3bcは、そのゲートへ、接地電圧GNDレベルの信号が与えられるかまたは電源電圧 V_C レベルの信号が与えられるだけであり、これらのMOSTランジスタ3acおよび3bcのゲートソース間の電位差も、電源電圧 V_{CC} レベルとなる。次に、この図1ないし図3に示すDRAMの動作をその動作波形図である図4を参照して説明する。

【0091】図4(a)に示すロウアドレスストロブ信号/RASがハイレベルのとき、DRAMはスタンバイ状態にある。この状態においては、図4(b)に示すイコライズ信号EQはハイレベルであり、図2に示すプリチャージ/イコライズ回路BPQのトランジスタT1～T3がすべて導通状態にあり、中間電圧発生回路7からの中間電圧 V_{BLI} をビット線BLおよび \overline{BL} に伝達する。したがって、ビット線BLおよび \overline{BL} は、アレイ電圧 V_{CI} の1/2の電圧レベルにプリチャージされている。

【0092】また、図4(c)に示すワード線選択動作活性化信号φXもローレベルにあり、応じて図4(d)に示すワード線駆動信号φW1およびφW2もローレベルにある。この状態において、図2に示すロウデコード回路2aの出力信号はローレベルであり、インバータ2bの出力信号は電源電圧 V_{CC} レベルである。したがって図2のロウデコードの出力ノード2dの電圧レベルは、 $V_{CC}-V_{TH}$ となり、ワード線ドライバ4aおよび4bに含まれるMOSTランジスタ4acおよび4bcが導通し、ワード線WL aおよびWL bを負電圧 $-V_S$ レベルに保持する。MOSTランジスタ4acおよび4bcのゲートソース間電圧は、電源電圧 V_{CC} レベルであり、したがってこれらのゲート絶縁膜の信頼性は保証される。さらに、図4(f)および(g)に示すセンスアンプ活性化信号φPAおよびφNAはそれぞれ

ハイレベルおよびローレベルであり、センスアンプ駆動回路8のMOSTランジスタ8aおよび8bはともに非導通状態にある。この状態においては、センスアンプ駆動信号φPおよびφNが図示しないプリチャージ/イコライズ回路により、中間電圧レベル($V_{CI}/2$)に保持されている。

【0093】ロウアドレスストロブ信号/RASがローレベルに立下がると、アクセスサイクルが始まる。このロウアドレスストロブ信号/RASの立下がりに応答して、イコライズ信号EQがローレベルとなり、ビット線のプリチャージ/イコライズ回路BPQのトランジスタT1～T3が非導通となる。

【0094】次いで、このロウアドレスストロブ信号/RASの立下がりに応答して、図1に示すワード線選択活性化回路11からのワード線選択動作活性化信号φXがハイレベルに立上がる。一方、図示しない経路により、このロウアドレスストロブ信号/RASの立下がりに応答してロウアドレスバッファが活性化され、外部からのアドレス信号を取込み内部ロウアドレス信号を生成して図1に示すロウデコード2へ与える。ロウデコード2は、このロウアドレスストロブ信号/RASの活性化に応答して、ロウアドレスバッファからの内部ロウアドレス信号ビットRA1～RAnをデコードする。いま、この図2に示すワード線WL aがアドレス指定された状態を考える。この状態においては、ロウデコード回路2aの出力信号がハイレベルに立上がる。これにより、ワード線ドライバ4aおよび4bにおいては、MOSTランジスタ4abおよび4bbが導通状態、MOSTランジスタ4acおよび4bcが非導通状態となる。

【0095】このロウデコード2におけるデコード動作と並行して、図3に示すワード線駆動信号発生回路3においても、デコード動作が行なわれ、NAND回路3aaの出力信号がローレベル、NAND回路3baの出力信号が電源電圧 V_{CC} レベルのハイレベルとなる。これにより、ワード線駆動信号発生回路3aにおいて、MOSTランジスタ3acが導通状態となり、ワード線駆動信号φW1が、電源電圧 V_{CC} レベルに立上がる(図4(d)参照)。一方、ワード線駆動信号発生回路3bにおいては、MOSTランジスタ3bcが非導通状態、MOSTランジスタ3bdが導通状態となり、ワード線駆動信号φW2は、非選択状態の負電圧レベルを維持する。MOSTランジスタ3bdのゲートへは、MOSTランジスタ3bbを介して、 $V_{CC}-V_{TH}$ レベルの電圧が与えられる。したがってMOSTランジスタ3bdのゲートソース間電圧は、電源電圧 V_{CC} レベルとなり、このMOSTランジスタ3bdのゲート絶縁膜の信頼性が保証される。

【0096】このワード線駆動信号φW1およびφW2は、図2に示すワード線ドライバ4aおよび4bへそれぞれ与えられる。ワード線ドライバ4aおよび4bにお

いては、MOSトランジスタ4a bおよび4b bがそれぞれ導通状態にある。電源電圧VCCレベルのワード線駆動信号φW1が与えられると、MOSトランジスタ4a bのセルフブートストラップ作用により、MOSトランジスタ4a bのゲート電位が電源電圧VCCレベル以上に上昇し、この電源電圧VCCレベルのワード線駆動信号φW1をワード線WL aに伝達する。このとき、MOSトランジスタ4a aは、そのゲート電圧が、電源電圧VCCレベルであり、オフ状態を維持し、この電源電圧VCCよりも高い電圧が、ロウデコード回路2aの出力ノードへ供給されるのを防止する。一方、ワードドライバ4bは、負電圧-VSレベルのワード線駆動信号φW2をワード線WL bへ伝達する。これにより、図4(e)に示すように、ワード線WL aが、電源電圧VCCレベルに立上がり、一方、ワード線WL bは負電圧-VSレベルの非選択状態を維持する。

【0097】ワード線WL aの立上がりに対応して、メモリセルMC aのアクセストランジスタT cが導通し、キャパシタCに格納された電荷がビット線/B Lへ供給される。図4(i)においては、ビット線/B Lに、ハイレベルのデータが読出されたときの波形が一例として示される。

【0098】このビット線B Lおよび/B Lの電位差が十分拡大されると、図1に示すセンスアンプ活性化回路12からのセンスアンプ活性化信号φPAがローレベルに立下がり、またセンスアンプ活性化信号φNAが電源電圧VCCレベルのハイレベルに立上がる(図4(f)および(g)参照)。このセンスアンプ活性化信号φPAおよびφNAの活性化に対応して、センスアンプ駆動回路8のMOSトランジスタ8aおよび8bが導通し、センスアンプ駆動信号φPがアレイ電圧VCIレベル、センスアンプ駆動信号φNが接地電圧GNDレベルとなる。これにより、センスアンプSAが活性化され、ビット線/B Lの電位が、アレイ電圧VCIレベルに上昇し、一方ビット線B Lの電圧が、接地電圧GNDレベルに低下する。このセンス動作が完了すると、選択メモリセルに対するデータの書込または読出が実行される。リストア時、選択ワード線電位は電源電圧VCCレベルであり、ビット線のハイレベル電位はVCC-VTHであり、確実にハイレベルデータがメモリセルキャパシタへ再書込される。

【0099】メモリサイクルが完了すると、ロウアドレスストロブ信号/RASがハイレベルに立上がり、各信号は、スタンバイ状態へ順次復帰する。

【0100】ロウデコード回路2aの出力信号がローレベル(接地電圧レベル)のときには、ワードドライバ4aおよび4bにおいて、MOSトランジスタ4a bおよび4b bが非導通状態となり、対応のワード線へのワード線駆動信号φW1およびφW2の伝達が行なわれない。一方、MOSトランジスタ4a cおよび4b cが導

通し、ワード線WL aおよびWL bは負電圧-VESレベルの非選択状態を維持する。センスアンプ駆動信号φPを、電源電圧VCCよりもMOSトランジスタのしきい値電圧VTH分低い電圧レベルに設定することにより、ビット線B Lおよび/B Lのハイレベルは、アレイ電圧VCI(=VCC-VTH)レベルとなり、非選択ワード線とハイレベルデータの読出されたビット線との電圧差は、電源電圧VCCレベルとなる。これにより、アクセストランジスタのゲート絶縁膜に、電源電圧よりも高い電圧が印加されるのを防止することができ、アクセストランジスタのゲート絶縁膜の信頼性は確保される。

【0101】また、ワードドライバ4aおよび4bにおいても、ロウデコード回路出力部に、デカップリングトランジスタ2cを設け、ワード線放電用MOSトランジスタのゲート電圧を、しきい値電圧VTH低下させているため、これらの、ワード線放電用のMOSトランジスタのゲート-ソース間電位差は、電源電圧レベル以下となり、これらのMOSトランジスタのゲート絶縁膜の信頼性が保証される。

【0102】以上のように、この発明の実施の形態1に従えば、ビット線のハイレベルを、電源電圧よりも低いアレイ電圧VCIレベルに設定しているため、非選択ワード線とハイレベルデータの読出されたビット線との間の電位差は電源電圧レベルとなり、アクセストランジスタに電源電圧よりも高い電圧が印加されるのを防止することができ、アクセストランジスタのゲート絶縁膜の信頼性を保証することができる。

【0103】また、ロウデコード回路において、ワード線を放電するためのMOSトランジスタのゲート電位のハイレベルは、デカップリングトランジスタを用いてしきい値電圧(負電圧-VSの絶対値と同じ)分低下させているため、これらのMOSトランジスタのゲート-ソース間電圧差も、電源電圧以下に抑えることができ、これらのMOSトランジスタのゲート絶縁膜の信頼性は保証される。

【0104】また、非選択ワード線へ伝達される負電圧の電圧レベルを、MOSトランジスタでクランプしているため、容易に、この選択電圧(アレイ電圧)と非選択電圧(負電圧)の差の電圧を生成することができる。

【0105】また、アレイ電圧、すなわち、電源電圧からMOSトランジスタのしきい値電圧(アクセストランジスタのしきい値電圧)に低下させた電圧から、中間電圧を生成しているため、ビット線プリチャージ電圧およびセルフプレート電圧を確実に、アレイ電圧の1/2の電圧レベルに設定することができ、ビット線へのハイレベルデータの読出電圧およびローレベル電圧の読出電圧の絶対値を等しくすることができ、正確にセンス動作を行なうことができる(ハイレベルデータ読出時とローレベルデータ読出時で、読出電圧の大きさが異なる場合、最

悪ケースの大きさの読出電圧に合わせてセンス動作タイミングを設定する必要があり、またセンスマージンが小さくなり、高速で正確にセンス動作を行なうことができないようになる。

【0106】また、ビット線のハイレベル電位はメモリセルキャパシタのハイレベル電位であり、ビット線の不必要な充電はなく、消費電流が低減される。

【0107】〔中間電圧発生回路の構成〕図5は、図1および2に示す中間電圧発生回路7の構成の一例を示す図である。図5において、中間電圧発生回路7は、アレイ電圧供給ノードVCI（アレイ電圧と供給ノードを同じ符号で示す）と接地ノードの間に接続され、このアレイ電圧VCIと接地電圧GNDとから第1の基準電圧を生成する第1の電圧発生部7aと、アレイ電圧供給ノードVCIと接地ノードの間に接続され、これらのアレイ電圧VCIおよび接地電圧GNDから第2の基準電圧を生成する第2の基準電圧発生部7bと、これらの第1および第2の基準電圧発生部7aおよび7bからの基準電圧に従って出力ノード7zに中間電圧VBLIまたはVCPiを生成する出力回路7cを含む。

【0108】第1の電圧発生部7aは、アレイ電圧供給ノードVCIと内部ノード7xの間に互いに直列に接続されるpチャネルMOSトランジスタ7aa、7abおよび高抵抗抵抗素子7acと、内部ノード7xと接地ノードの間に接続される高抵抗の抵抗素子7adを含む。MOSトランジスタ7aaおよび7abは、ゲートおよびドレインがそれぞれ相互接続され、高抵抗抵抗素子7acおよび7adによる小電流のためダイオードモードで動作する。高抵抗抵抗素子7acおよび7adは、その抵抗値は実質的に等しくされる。内部ノード7xから、第1の基準電圧が出力される。

【0109】第2の基準電圧発生部7bは、アレイ電圧供給ノードVCIと内部ノード7yの間に接続される高抵抗の抵抗素子7baと、内部ノード7yと接地ノードの間に互いに直列に接続される高抵抗抵抗素子7bb、nチャネルMOSトランジスタ7bcおよび7bdを含む。MOSトランジスタ7bcおよび7bdはそのゲートおよびドレインが相互接続されて、高抵抗抵抗素子7baおよび7bbによる小電流により、ダイオードモードで動作する。高抵抗抵抗素子7baおよび7bbは、その抵抗値は実質的に等しくされる。内部ノード7yから第2の基準電圧が出力される。

【0110】出力回路7cは、電源ノードVCCと出力ノード7zの間に接続され、内部ノード7yからの第2の基準電圧をゲートに受けるnチャネルMOSトランジスタ7caと、出力ノード7zと接地ノードの間に接続され、そのゲートに、内部ノード7xからの第1の基準電圧を受けるpチャネルMOSトランジスタ7cbを含む。次に動作について説明する。

【0111】抵抗素子7acおよび7adの抵抗値は、

MOSトランジスタ7aaおよび7abのチャネル抵抗よりも十分低くされている。このため、MOSトランジスタ7aaおよび7abは、ダイオードモードで動作し、そのしきい値電圧の絶対値VTPの電圧降下を生じさせる。したがって、このMOSトランジスタ7abのドレインノードの電位は、 $VCI - 2 \cdot VTP$ となる。抵抗素子7acおよび7adの抵抗値は実質的に等しく、したがって内部ノード7xには、このMOSトランジスタの7abのドレインノードの電位を1:1で抵抗分割した電圧が出力される。すなわち、この内部ノード7xからは、 $(VCI - 2 \cdot VTP) / 2 = VCI / 2 - VTP$ の電圧レベルの電圧が第1の基準電圧として出力されてMOSトランジスタ7cbのゲートへ与えられる。

【0112】一方、第2の電圧発生部bにおいては、抵抗素子7baおよび7bbの抵抗値は、MOSトランジスタ7bcおよび7bdのチャネル抵抗（オン抵抗）も十分大きく、MOSトランジスタ7bcおよび7bdは、そのしきい値電圧VTHの電圧降下をそれぞれ生じさせる。したがって、MOSトランジスタ7bcのドレイン電位は、 $2 \cdot VTH$ となる。抵抗素子7baおよび7bbの抵抗値は等しく、このMOSトランジスタ7bcのドレイン電圧とアレイ電圧供給ノードVCIの電圧VCIの電位差を、1:1で抵抗分割した電圧が出力ノード7yから出力される。すなわち、 $(VCI + 2 \cdot VTH) / 2 = VCI / 2 + VTH$ の電圧レベルの電圧が第2の基準電圧として内部ノード7yからMOSトランジスタ7caのゲートへ与えられる。

【0113】出力回路7cにおいては、MOSトランジスタ7caのゲートへ与えられる電圧は、電源電圧VCCよりも低いため、このMOSトランジスタ7caは、ソースフォロワモードで動作し、出力ノード7zへ、このMOSトランジスタ7caのゲート電位からしきい値電圧VTHを引いた電圧を伝達させる。すなわち、MOSトランジスタ7caが、出力ノード7zへ $VCI / 2$ の電圧を伝達する。

【0114】一方、MOSトランジスタ7cbも、そのゲート電位が、接地電圧GNDよりも高いため、同様ソースフォロワモードで動作し、そのゲート電位よりもしきい値電圧の絶対値VTP高い電圧を出力ノード7zへ伝達する。すなわち、このMOSトランジスタ7cbは、出力ノード7zへ $VCI / 2$ の電圧を伝達する。

【0115】出力ノード7zの電圧レベルが上昇すると、MOSトランジスタ7cbが導通し、出力ノード7zの電圧レベルを低下させる。一方、出力ノード7zの電圧レベルが低下すると、MOSトランジスタ7caが導通し、出力ノード7zの電圧レベルを上昇させる。したがって、出力回路7cにおいては、MOSトランジスタ7caおよび7cbは、一方が導通状態のとき他方は非導通状態となり、プッシュプル態様で動作する。

【0116】また、MOSトランジスタ7caおよび7cbは、それぞれのゲート-ソース間電圧がそれぞれのしきい値電圧に等しい領域近傍で動作するため、すなわち、MOSトランジスタ7caおよび7cbは、非導通状態と導通状態の境界で動作しているため、電源ノードVCCから接地ノードへの貫通電流はほとんど生じず、消費電流は小さくなる。また、電圧発生部7aおよび7bにおいても、MOSトランジスタ7aa、7ab、7bcおよび7bdをダイオードモードで動作させるために、微小電流が要求されるだけであり、抵抗素子7ac、7ad、7baおよび7bbの抵抗値は十分大きくされており、これらを通る電流も十分小さくなり、消費電流が小さくされる。

【0117】この図5に示す中間電圧発生回路を利用することにより、低消費電流で、安定に、アレイ電圧の1/2の電圧レベルの中間電圧VBLIおよびVCPiを生成することができる。

【0118】〔中間電圧発生回路2〕図6は、図1および図2に示す中間電圧発生回路7の他の構成を示す図である。図6において、中間電圧発生回路7は、第1および第2の基準電圧を発生する基準電圧発生部7dと、この基準電圧発生部7dからの基準電圧に従って中間電圧を生成する出力回路7eを含む。基準電圧発生部7dは、アレイ電圧供給ノードVCIと内部ノード7uの間に接続される高抵抗の抵抗素子7daと、内部ノード7uおよび7vの間に互いに直列に接続されるnチャネルMOSトランジスタ7dbおよび7dcと、内部ノード7vと接地ノードとの間に接続される高抵抗の抵抗素子7dbを含む。MOSトランジスタ7dbは、そのゲートが内部ノード7uに接続され、MOSトランジスタ7dcがそのゲートが内部ノード7vに接続される。高抵抗抵抗素子7daおよび7dbの抵抗値はMOSトランジスタ7dbおよび7bcのチャネル抵抗（オン抵抗）よりも十分大きくされており、MOSトランジスタ7dbおよび7dcは、ダイオードモードで動作する。

【0119】出力回路7eは、電源ノードVCCと出力ノード7wの間に接続され、そのゲートが内部ノード7uに接続されるnチャネルMOSトランジスタ7eaと、出力ノード7wと接地ノードの間に接続されかつそのゲートが内部ノード7vに接続されるpチャネルMOSトランジスタ7ebを含む。次に動作について説明する。

【0120】抵抗素子7daおよび7dbの抵抗値は互いに等しくRであり、MOSトランジスタ7dbのしきい値電圧はVTH、MOSトランジスタ7dcのしきい値電圧の絶対値をVTPとすると、次式が得られる。

【0121】 $2 \cdot I \cdot R + V_{TH} + V_{TP} = V_{CI}$
 $R = (V_{CI} - V_{TH} - V_{TP}) / 2$ ここで、Iは、基準電圧発生部7dを通る電流を示す。内部ノード7uおよび7vの電圧V(7u)およびV(7v)は、それ

ぞれ次式で与えられる。

【0122】 $V(7u) = V_{CI} - I \cdot R = V_{CI} / 2 + (V_{TH} + V_{TP}) / 2$
 $V(7v) = V(7u) - V_{TH} - V_{TP} = V_{CI} / 2 - (V_{TH} + V_{TP}) / 2$
MOSトランジスタ7eaおよび7ebは、それぞれ、ソースフォロワモードで動作し、自身のゲート電位からしきい値電圧の絶対値を引いた電圧をドレインからソースへ伝達する。したがって、出力ノード7wから出力される電圧V(7w)は次式で与えられる。

【0123】 $V(7w) = V_{CI} / 2 + (V_{TP} - V_{TH}) / 2$
出力ノード7wの電圧V(7w)が上昇すると、pチャネルMOSトランジスタ7ebが導通状態となり、出力ノード7wの電圧レベルを低下させる。

【0124】一方、出力ノード7wの電圧レベルが低下すると、MOSトランジスタ7eaが導通状態となり、この出力ノード7wからの電圧V(7w)の電圧レベルを上昇させる。しきい値電圧VTPおよびVTNはほぼ値が等しいため、出力ノード7wから出力される電圧V(7w)の電圧レベルは、実質的にVCI/2となる。

【0125】この図6に示す中間電圧発生回路の構成においても、出力回路7eのMOSトランジスタ7eaおよび7ebは、非導通状態と導通状態の境界領域で動作しており、またプッシュプル態様で動作しているため、電源ノードVCCから接地ノードへの電流はほとんど流れず、消費電流は小さい。また、基準電圧発生部7dにおいても、抵抗素子7daおよび7dbの抵抗値は十分大きく、流れる電流は極めて小さいため、消費電流は極めて小さい。

【0126】〔ロウデコード回路の変更例〕図7は、ロウデコーダの変更例の構成を示す図である。図7においては、1つのワードドライバ4aに対して設けられるロウデコード回路部分を示す。図7において、ロウデコード回路部は、内部アドレス信号ビットRA0~RAnをデコードするロウデコード回路2aと、このロウデコード回路2aの出力信号を反転する振幅制限機能付きインバータ回路2eを含む。ワードドライバ4aは、図2に示す構成と同様の構成を備え、対応する部分には同一の参照番号を付し、その説明は省略する。このロウデコード回路部の出力信号は、また図示しないワード線ドライバ4bへも与えられる。

【0127】ロウデコード回路2aは、ロウアドレス信号ビットRA0~RAnを受けるNAND回路2aaと、NAND回路2aaの出力信号を反転するCMOSインバータ2abを含む。ロウデコード回路2aの出力信号は電源電圧VCCと接地電圧GNDの間で変化する。

【0128】インバータ回路2eは、電源ノードVCCと内部ノード2edの間に接続されかつダイオード接続されるnチャネルMOSトランジスタ2eaと、内部ノード2edと出力ノード2eeの間に接続されかつその

ゲートに、ロウデコード回路2aの出力信号を受けるpチャネルMOSトランジスタ2ebと、出力ノード2eeと接地ノードの間に接続されかつそのゲートにロウデコード回路2eの出力信号を受けるnチャネルMOSトランジスタ2ecを含む。この出力ノード2eeからの出力信号が、ワード線ドライバ4aの放電用MOSトランジスタ4acのゲートへ与えられる。

【0129】このインバータ回路2eにおいては、MOSトランジスタ2eaがダイオードモードで動作し、内部ノード2edの電圧レベルを、 $V_{CC}-V_{TH}$ の電圧レベルに設定する。したがって、このインバータ回路2eからの出力信号のハイレベルの電圧レベルは、 $V_{CC}-V_{TH}$ レベルとなる。負電圧 $-VS$ の絶対値 VS は、このMOSトランジスタ2eaのしきい値電圧 V_{TH} と実質的に等しい電圧レベルである。したがってこの図7に示す振幅制限機能付きインバータ回路2eを利用することにより、このワード線ドライバ4aの放電用MOSトランジスタ4acのゲート電圧の最大値を、 $V_{CC}-V_{TH}+VS=V_{CC}$ の電圧レベルに設定することができ、同様、この放電用MOSトランジスタのゲート絶縁膜の信頼性を保証することができる。

【0130】図8は、図7に示す振幅制限機能付きインバータ回路2eの変更例の構成を示す図である。図8において、振幅制限機能付きインバータ回路2eは、電源ノード V_{CC} と出力ノード2eeの間に互いに直列に接続されるpチャネルMOSトランジスタ2efおよびnチャネルMOSトランジスタ2egと、出力ノード2eeと接地ノードとの間に接続されるnチャネルMOSトランジスタ2ehを含む。MOSトランジスタ2efおよび2ehのゲートへは、ロウデコード回路2a（図7参照）からの出力信号が与えられる。nチャネルMOSトランジスタ2egのゲートおよびドレインは相互接続される。このMOSトランジスタ2egが、ダイオードモードで動作し、そのしきい値電圧 V_{TH} の電圧降下を生じさせる。したがって、pチャネルMOSトランジスタ2efが導通し、電源電圧 V_{CC} をMOSトランジスタ2egへ伝達すると、出力ノード2eeへは、 $V_{CC}-V_{TH}$ の電圧が伝達される。したがってこの図8に示す振幅制限機能付きインバータ回路2eを用いても、図7に示す構成と同様の効果を得ることができる。

【0131】[アレイ電圧 V_{CI} を、電源電圧 V_{CC} よりもメモリセルのアクセストランジスタのしきい値電圧 V_{TH} 分低くしたことによる利点] 中間電圧発生回路は、従来の、 $V_{CC}/2$ の中間電圧レベルよりも、 $V_{TH}/2$ だけ小さい電圧を生成している。したがって、メモリセルキャパシタ C の電極間に印加される電圧が、 $V_{TH}/2$ 小さくなる。これにより、メモリセルキャパシタの電圧ストレスを従来よりも小さくすることができ、メモリセルキャパシタの信頼性が向上する。また、このメモリセルキャパシタの信頼性を、従来のメモリセルと

同程度に保てば、メモリセルキャパシタの絶縁体膜厚を薄くして容量値を大きくすることができ、十分な大きさの読出電圧を生成することができ、センス動作マージンを大きくすることが可能となる。

【0132】また、ビット線の充電レベルも、同様、 $V_{TH}/2$ 低くされている。したがって、このビット線プリチャージ時における充電電流を小さくすることができ（ローレベルのビット線を中間電圧レベルにプリチャージする）、この中間電圧発生回路動作時における消費電流を低減することができる。充電電流 I は、次式で表わすことができる。

【0133】 $I=f \cdot C_b \cdot \Delta V_B$ ここで、 f は動作周波数、 C_b はビット線容量、 ΔV_B はビット線充電電圧であり、従来は $V_{CC}/2$ 、本発明においては、 $(V_{CC}-V_{TH})/2$ となる。

【0134】したがって、上式から明らかなように、本発明のように、ビット線充電レベルを低下させることにより、充電電流 I を低減することができる。また、センス動作時において、ビット線振幅は、従来の構成よりも、 $V_{TH}/2$ 小さくなり、センス動作時の充放電電流を小さくすることができ、またビット線振幅が従来よりも小さくなるため、高速でビット線をメモリセルデータに応じた電位レベルに設定することができ、アクセスタイミングを速くすることができる。更に、メモリセルキャパシタの充電電圧レベルまでしかビット線は充電されず、不要な電流消費は抑制される。

【0135】[実施の形態2] 図9は、この発明の実施の形態2に従うDRAMの要部の構成を示す図である。図9においては、一本のワード線 WL に対する1つのワード線ドライバ4cの構成を示す。図9において、ワード線ドライバ4cは、ロウデコード2の出力信号に応答して、ワード線駆動信号 ϕ_W をワード線 WL に伝達するnチャネルMOSトランジスタ4caと、ロウデコード2の出力信号に応答して、負電圧 $-VS$ を、ワード線 WL へ伝達するnチャネルMOSトランジスタ4cbを含む。MOSトランジスタ4caおよび4cbは、しきい値電圧 V_{TN} を有する。このしきい値電圧 V_{TN} は、メモリセル MC に含まれるアクセストランジスタ T_c の有するしきい値電圧 V_{TH} よりも大きくされる。これは、イオン注入によりチャネル領域のP型不純物濃度を高くするまたはN型不純物濃度を低くすることにより実現される。負電圧 $-VS$ の絶対値 VS は、このアクセストランジスタ T_c のしきい値電圧 V_{TH} と実質的に同じ大きさの電圧レベルである。

【0136】ワード線ドライバ4cにおいて、MOSトランジスタ4cbの非導通時、そのゲートへは、接地電圧レベルの信号が与えられる。この状態においては、MOSトランジスタ4cbのゲートソース間電圧差は、 VS である。この電圧差 VS は、MOSトランジスタ4cbのしきい値電圧 V_{TN} よりも小さい。したがって、

このMOSTランジスタ4cbを介して流れるサブスレシールド電流が低減される。MOSTランジスタ4caにおいて、そのゲート電位がローレベル（接地電圧レベル）であり、ワード線駆動信号φWがハイレベル（電源電圧VCCレベル）のとき、ワード線WLの電位は、MOSTランジスタ4bcにより放電されて負電圧-VSレベルである。この状態においては、MOSTランジスタ4caのゲートソース間電位差は、VSであり、このMOSTランジスタ4caのしきい値電圧VTNよりも小さく、したがってMOSTランジスタ4caを介してサブスレシールド電流が流れるのを抑制することができる。

【0137】このワード線ドライバ4cのMOSTランジスタ4caおよび4cbのしきい値電圧VTNを、アクセストランジスタTcのしきい値電圧VTHよりも大きくしておくことにより、非選択ワード線に対して設けられたワード線ドライバにおけるサブスレシールド電流を抑制することができ、数多くの非選択ワード線に対して設けられたワード線ドライバの消費電流を抑制することができる。

【0138】〔実施の形態3〕図10は、この発明の実施の形態3に従う負電圧発生回路の構成を示す図である。図10に示す負電圧発生回路5においては、出力ノードNDbの電圧-VSをクランプするためのnチャネルMOSTランジスタ5fは、その基板領域が、接地ノードに接続される。他の点は、図2に示す負電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0139】この負電圧発生回路5からの負電圧-VSは、ワード線WLに対して設けられたワード線ドライバ4dへ与えられる。図10において、ワード線ドライバ4dは、ワード線WLへワード線駆動信号φWを伝達するためのnチャネルMOSTランジスタ4daと、ワード線WLへ負電圧-VSを伝達するためのnチャネルMOSTランジスタ4dbを含む。これらのMOSTランジスタ4daおよび4dbは、図示しないメモリセルのアクセストランジスタのしきい値電圧と同じしきい値電圧VTHまたは図9の場合と同様のしきい値電圧VTNを有する。

【0140】負電圧発生回路5において、クランプ用MOSTランジスタ5fの基板領域を、接地ノード（ドレイン）に接続する。このMOSTランジスタ5fの基板領域をソース（出力ノードNDb）に接続した場合、MOSTランジスタ5fは、しきい値電圧VTHを有する（この接続を破線で示す）。このMOSTランジスタ5fの基板領域を接地ノードに接続すると、このMOSTランジスタ5fの基板領域のバイアス電圧は、接地電圧レベルとなり、出力ノードNDbの負電圧レベルにバイアスされる場合に比べて、そのしきい値電圧が小さくなる。すなわち、このMOSTランジスタ5fの基板領域

を接地ノードに接続すると、MOSTランジスタ5fは、ワード線ドライバに含まれるMOSTランジスタ4daおよび4db（およびメモリセルのアクセストランジスタ）のしきい値電圧VTHまたはVTNよりも小さなしきい値電圧VTN1を有する。したがって、負電圧-VSは、-VTN1の電圧レベルとなる。したがって、ワード線ドライバ4dのMOSTランジスタ4dbのゲートへは、接地電圧が与えられたとき、このMOSTランジスタ4dbのゲートソース間電位差は、そのしきい値電圧VTHよりも小さい値となり、MOSTランジスタ4dbのサブスレシールド電流を抑制することができる。この負電圧-VSは、またワード線駆動信号発生回路へも与えられている。したがって、このワード線駆動信号φWのローレベルも、-VTN1の電圧レベルとなる。したがってMOSTランジスタ4daにおいて、そのゲートに接地電圧レベルの信号が与えられた場合においても、このMOSTランジスタ4daのゲートソース間電位差は、しきい値電圧VTHまたはVTNよりも小さくなり、MOSTランジスタ4daのサブスレシールド電流を抑制することができる。

【0141】図11は、図10に示すMOSTランジスタ5fの断面構造を概略的に示す図である。図11において、半導体基板領域30表面に、N型不純物領域（ウェル）31が形成される。このNウェル31表面に、さらにP型ウェル32が形成される。このP型ウェル32内には、MOSTランジスタ5fが形成される。すなわち、MOSTランジスタ5fは、このP型ウェル32表面に、間をおいて形成される高濃度N型（N+）不純物領域33および34と、これらの不純物領域33および34の間の領域上にゲート絶縁膜（図示せず）を介して形成されるゲート電極35を含む。不純物領域33は、接地ノードに接続され、不純物領域34が、負電圧-VSを出力するノードNDbに接続される。このPウェル32は、またその表面に形成された高濃度P型（P+）不純物領域36を介して接地ノードに接続される。Nウェル31は、Pウェル32外部に形成される高濃度N型不純物領域37を介して電源電圧VCCを受けるように結合される。

【0142】不純物領域34が負電圧-VSレベルとなり、不純物領域34とP型ウェル32が順方向にバイアスされても、Nウェル31とP型ウェル32が、逆方向にバイアスされるため、このP型ウェル32における電流は、他の領域へ流れるのを抑制することができる。これにより、基板領域（P型ウェル32）をソース（不純物領域34）よりも高い電圧レベルのドレイン（不純物領域33）に接続しても、何ら他の回路部分に悪影響を及ぼすことなく確実にこのMOSTランジスタ5fをダイオードとして動作させることができる。

【0143】〔変更例〕図12は、この負電圧発生回路のクランプ用MOSTランジスタの変更例の構成を示す

図である。図12においては、このクランプ用MOSTランジスタのみを示す。図12において、クランプ用MOSTランジスタ5gは、負電圧出力ノードNDbと接地ノードの間に接続され、そのゲートおよび基板領域が出力ノードNDbに接続されるpチャネルMOSTランジスタで構成される。このpチャネルMOSTランジスタをクランプ用MOSTランジスタ5gとして用いても、その基板領域をドレイン領域（出力ノードNDb）に接続することにより、その基板領域をソース（接地ノード）に接続する場合に比べて、そのしきい値電圧の絶対値を小さくすることができ、負電圧 $-V_S$ の電圧レベルを高くすることができる。

【0144】以上のように、この発明の実施の形態3に従えば、負電圧発生回路の負電圧クランプ用のMOSTランジスタのしきい値電圧の絶対値を、ワード線ドライバに含まれるMOSTランジスタおよびアクセストランジスタのしきい値電圧の絶対値よりも小さくするように構成したため、非選択ワード線に接続するワード線ドライバにおけるサブスレショルド電流を抑制することができ、低消費電流のDRAMを実現することができる。

【0145】[実施の形態4] 図13は、この発明の実施の形態4に従うワード線駆動信号発生回路3の構成を示す図である。図13において、1つのワード線駆動信号 ϕ_W に対するワード線駆動信号発生部の構成を示す。図13において、ワード線駆動信号発生回路3cは、ワード線選択動作活性化信号 ϕ_X と内部ロウアドレス信号ビットRAを受けるNAND回路3caと、NAND回路3caの出力信号を反転するインバータ3cbと、電源電圧VCCをゲートに受け、インバータ3cbの出力信号を伝達するnチャネルMOSTランジスタ3cdと、電源ノードVCCと出力ノードNeの間に接続され、そのゲートにNAND回路3caの出力信号を受けるpチャネルMOSTランジスタ3ceと、出力ノードNeと負電圧供給ノードの間に接続され、そのゲートにMOSTランジスタ3cdを介して与えられるインバータ3cbの出力信号を受けるnチャネルMOSTランジスタ3cfを含む。MOSTランジスタ3cfのしきい値電圧 V_{TN} は、メモリセルのアクセストランジスタのしきい値電圧 V_{TH} よりも大きくされる。MOSTランジスタ3cdのしきい値電圧はアクセストランジスタのそれと同じ V_{TH} である。

【0146】この図13に示すワード線駆動信号発生回路の構成においても、MOSTランジスタ3cfの非導通時、そのゲートには、インバータ3cbを介して接地電圧レベルの信号が与えられる。このとき、MOSTランジスタ3cfのゲートソース間電位差は、 V_{TH} であり、このMOSTランジスタ3cfのしきい値電圧 V_{TN} よりも小さくなり、このMOSTランジスタ3cfにおけるサブスレショルド電流を抑制することができ、MOSTランジスタ3cfの導通時、そのゲート

ソース間電位差は電源電圧レベルであり、耐圧特性は保証される。

【0147】pチャネルMOSTランジスタ3ceにおいては、非導通時そのゲートへは、電源電圧VCCレベルのハイレベルの信号が与えられる。この状態においては、MOSTランジスタ3ceのゲートソース間電位差は0Vであり、そのしきい値電圧の絶対値を特に大きくしなくても、確実にサブスレショルド電流は抑制することができる。

【0148】以上のように、この発明の実施の形態4に従えば、ワード線駆動信号発生部の、ワード線駆動信号を非活性状態に保持するためのMOSTランジスタのしきい値電圧をメモリセルアクセストランジスタのしきい値電圧よりも大きくしているため、このワード線駆動信号発生回路におけるサブスレショルドリーク電流を抑制することができる。

【0149】[実施の形態5] MOSTランジスタのしきい値電圧は、バックゲート（基板領域）とソース間の電圧VBSに依存する。メモリセルのアクセストランジスタTcのバックゲートの構成において、このアクセストランジスタTcは、信号を伝達するトランスファートランジスタとなるため、図14（A）に示すように、ソース/ドレイン領域とバックゲートとは必ず分離される。すなわち、nチャネルMOSTランジスタの場合、ソースは、低電位のノードであり、アクセストランジスタTcにおいては、ソースは、その転送すべき信号に応じて変化するためである。この場合、アクセストランジスタTcのバックゲートTcgへは、一定のバイアス電圧VBBが印加される。このバックゲートへ印加されるバイアス電圧VBBは、このメモリセルへのノイズ（基板電流）および接合容量の低減などのファクタを考慮して、一定の値に設定される。nチャネルMOSTランジスタがアクセストランジスタTcとして用いられる場合には、バイアス電圧VBBは負の電圧レベルである。

【0150】このアクセストランジスタTcのソースの電圧は、このメモリセルに書込まれるデータに依存する。このアクセストランジスタTcのバックゲートソース間電圧VBSは、図14（B）に示すようにハイレベルデータを書込むときに最も大きくなり（ $VBS = V_H - VBB$ ： V_H はハイレベルデータの電圧）、このときしきい値電圧は最も大きくなる。このバックゲートバイアスを考慮したMOSTランジスタのしきい値電圧は次式で表わされる。

【0151】

【数1】

$$V_{th} = V_{th0} + K(\sqrt{2\phi_F + VBS} - \sqrt{2\phi_F})$$

【0152】ここで、 V_{th0} は、バックゲートバイアス電圧VBBが0Vのときのしきい値電圧を示し、 ϕ_F は、基板領域のフェルミ準位、Kは、定数を示す。

【0153】図15は、このMOSTランジスタのしきい値電圧 V_{TH} とバックゲートソース間電圧 V_{BS} の関係を示す図である。縦軸はしきい値電圧を示し、横軸にバックゲートソース間電圧を示す。図15において、しきい値電圧 V_{th1} は、ソース電圧が $|V_{BB}| - V_S$ のときのしきい値電圧すなわち、ソースに負電圧 $-V_S$ が印加されたときのしきい値電圧を示す。しきい値電圧 V_{th2} は、ソース電圧が0Vのときのしきい値電圧である。しきい値電圧 V_{th3} は、ソース電圧が V_H 、すなわちハイレベルデータが書込まれたときのしきい値電圧を示す。しきい値電圧 V_{thr} は、バックゲートソース間電圧 V_{BS} がしきい値電圧と等しくなる場合のしきい値電圧を示す。

【0154】上述の実施の形態1ないし3においては、MOSTランジスタのしきい値電圧は等しく、 V_{TH} であると説明しているが、これらのMOSTランジスタのしきい値電圧を、使用目的に応じて使い分けることができる。この適用例について説明する。

【0155】〔適用例1〕図16は、この発明の実施の形態5の適用例1の構成を示す図である。図16において、内部電圧発生回路の構成が示される。図16において、内部電圧発生回路6は、電源ノード V_{CC} と出力ノード NDa の間に接続されるnチャネルMOSTランジスタ6aと、この出力ノード NDa の電圧を安定化する安定化容量6bを含む。MOSTランジスタ6aのバックゲートへ、メモリセル出力ノード6aの安定化のアクセストランジスタ Tc のバックゲートのバイアス電圧と同じ負のバイアス電圧 V_{BB} が印加される。この場合、ノード NDa はハイレベルに立上がるため、MOSTランジスタ6aのしきい値電圧は、 V_{th3} となる。したがって、アレイ電圧 V_{CI} は、 $V_{CC} - V_{th3}$ となる。このアレイ電圧 V_{CI} は、メモリセルへのハイレベルデータ書込において、ストレージノード SN へ伝達される電圧レベルと同じである（ハイレベルデータ書込時メモリセルトランジスタのしきい値電圧は V_{th3} ）。このアレイ電圧 V_{CI} は、センスアンプを介してビット線へ伝達される。したがって、選択メモリセルのストレージノード SN に書込まれるべきハイレベルデータと同じ電圧レベルのアレイ電圧を生成することができ、必要以上に電流を消費する必要がなく、低消費電流が実現できる。また、このアレイ電圧 V_{CI} は、ストレージノード SN へ書込まれるハイレベルデータの電圧レベルと同じであり、正確に必要とされるハイレベルデータを書込むことができる。

【0156】〔変更例1〕図17(a)は、内部電圧発生回路の変更例1の構成を示す図である。この図17(a)に示す構成において、MOSTランジスタ6aのバックゲートが、出力ノード NDa に接続される。したがってこのMOSTランジスタ6aのバックゲートソース間電圧 V_{BS} は0Vとなり、このMOSTランジ

スタ6aのしきい値電圧は、 V_{th0} となる。したがってアレイ電圧 V_{CI} は、 $V_{CC} - V_{th0}$ となり、メモリセルへ書込まれるハイレベルデータの電圧値よりも高くなる。これにより、ハイレベルデータ書込に対し、余裕をもって正確にメモリセルに対し、 $V_{CC} - V_{th3}$ の電圧レベルのハイレベルデータを書込むことができる。

【0157】〔変更例2〕図17(b)は、この内部電圧発生回路の変更例2の構成を示す図である。図17(b)において、MOSTランジスタ6aのバックゲートが、電源ノード V_{CC} に接続される。すなわち、このMOSTランジスタ6aのバックゲートがドレインに接続され、このバックゲートソース間電圧 V_{BS} はこのMOSTランジスタのしきい値電圧 V_{thr} に等しくなる。したがってアレイ電圧 V_{CI} は、 $V_{CC} - V_{thr}$ となり、さらにこのアレイ電圧 V_{CI} を高くすることができ、余裕をもってハイレベルデータをメモリセルに書込むことができる。MOSTランジスタのバックゲート電位の調整を通してMOSTランジスタのしきい値電圧を調整することにより、発生される電圧レベルを調整することができる。

【0158】図18(A)は、ワード線ドライバの構成を示す図である。図18(A)においては、このワード線ドライバ4cは、ワード線駆動信号 ϕW をワード線 WL へ伝達するためのnチャネルMOSTランジスタ4c aと、ワード線 WL へ負電圧 $-V_S$ を伝達するためのnチャネルMOSTランジスタ4c bを含む。これらのMOSTランジスタ4c aおよび4c bのバックゲートへ、負のバイアス電圧 V_{BB} を印加する。この負のバイアス電圧 V_{BB} を印加することにより、MOSTランジスタ4c aおよび4c bのしきい値電圧をメモリセルのアクセストランジスタのしきい値電圧 V_{TH} よりも大きくすることができる。負電圧 $-V_S$ が、図15に示すしきい値電圧 $-V_{th0}$ の場合、これらのMOSTランジスタ4c aおよび4c bのしきい値電圧を、しきい値電圧 V_{th1} に設定することができ、サブスレショルドドリーク電流を低減することができる。

【0159】図18(B)は、負電圧発生回路5のクランプトランジスタの接続を示す図である。このクランプトランジスタ5hは、nチャネルMOSTランジスタで構成され、その基板領域が、出力ノード NDb に接続され、ゲートおよびドレインは接地ノードに接続される。出力ノード NDb へは、チャージポンプ回路5gから負電圧が供給される。この負電圧 $-V_S$ は、安定化容量5eにより安定化される。

【0160】このMOSTランジスタ5bのバックゲートの接続の場合、バックゲートとソースが同一電位であり、しきい値電圧は、図15に示す関係から、 V_{th0} となり、負電圧 $-V_S$ は、 $-V_{th0}$ となる。このしきい値電圧 V_{th0} は、バックゲートにバイアス電圧 V_{BB} を受けるメモリセルのアクセストランジスタおよび図

18(A)に示すワード線ドライバのMOSトランジスタ4caおよび4cbのしきい値電圧よりも小さくなる。したがってこの負電圧を用いれば、ワード線ドライバにおけるサブスレショルドリーク電流を十分に抑制することができる。

【0161】図19は、ワード線ドライバ部におけるサブスレショルド電流を低減するためのバックゲート接続の組合せを一覧にして示す図である。図19において、3つの場合I、II、およびIIIを示す。

【0162】場合Iにおいて、ワード線ドライブトランジスタは、そのバックゲートに負のバイアス電圧VBBを受ける。この状態においては、図15に示す関係から、ワード線ドライブトランジスタのしきい値電圧は V_{th1} となる。負電圧クランプトランジスタは、N型トランジスタの場合、その基板領域が出力ノードに接続され、P型トランジスタを用いる場合、そのバックゲートが接地ノードへ接続される。いずれの場合においても、このバックゲートはソースに接続される。したがってバックゲート-ソース間電圧は0Vであり、これらのMOSトランジスタのしきい値電圧は V_{th0} (N)および V_{th0} (P)となる。したがって、負電圧-VSは、 $-V_{th0}$ (N)または $-V_{th0}$ (P)となり、最も浅い負電圧となる。

【0163】場合IIにおいては、ワード線ドライブトランジスタのバックゲートが、負電圧供給ノードまたはソースに接続される。この接続においては、ワード線ドライブトランジスタのバックゲートとソースが同一電位となり、このワード線ドライブトランジスタのしきい値電圧は、 V_{th0} となる。

【0164】負電圧クランプトランジスタにおいては、N型トランジスタの場合、そのバックゲートが接地ノードへ接続され、P型トランジスタの場合、そのバックゲートが出力ノードに接続される。いずれの場合においても、バックゲートが、ドレインに接続されており、したがってこれらのN型トランジスタおよびP型トランジスタのしきい値電圧の絶対値は V_{thr} (N)および V_{thr} (P)となる。この場合においても、しきい値電圧 V_{th0} は、しきい値電圧の絶対値 V_{thr} (N)および V_{thr} (P)よりも高いため、ワード線ドライバにおけるサブスレショルド電流は抑制される。

【0165】場合IIIの場合、ワード線ドライブトランジスタはバックゲートに負のバイアス電圧VBBを受け、そのしきい値電圧は V_{th1} となる。一方クランプトランジスタにおいては、N型トランジスタおよびP型トランジスタいずれにおいても、そのバックゲートがドレインに接続される。したがって、これらのしきい値電圧の絶対値は V_{thr} (N)および V_{thr} (P)となる。この場合においても、しきい値電圧 V_{th1} は、しきい値電圧の絶対値 V_{thr} (N)および V_{thr} (P)よりも大きいため、したがってしきい値電圧 V_{th1} は、負電圧-VSの絶対値VSよりも高く、ワード線ドライバにおけるサブスレショルド電流が抑制される。

h1は、負電圧-VSの絶対値VSよりも高く、ワード線ドライバにおけるサブスレショルド電流が抑制される。

【0166】場合I~IIIの組合せのうち、最もサブスレショルド電流を小さくすることのできるのは、負電圧-VSと、ドライブトランジスタのしきい値電圧の差の最も大きい場合の組合せであり、場合IIIが対応する。一方、メモリセルのアクセストランジスタのサブスレショルド電流を低減するためには、負電圧-VSの絶対値はできるだけ大きいのが好ましい。負電圧クランプトランジスタとしては、そのバックゲートに負電圧バイアス電圧VBBが印加されるのが最もよい(しきい値電圧 V_{th1})。したがって、このワード線ドライブトランジスタおよび負電圧クランプトランジスタのバックゲートの接続は、実際の使用目的に応じて適当にその組合せが決定されることになる。

【0167】また、メモリセルのアクセストランジスタのゲート絶縁膜の電圧ストレス緩和の観点からは、アレイ電圧を発生するMOSトランジスタ6a(図17(A)または(B)参照)のバックゲートに、負電圧VBBを与えて、アレイ電圧VCIを低くし(電圧降下用トランジスタのしきい値電圧を最も大きくする)、また図19に示す場合IIまたはIIIのバックゲートの接続の組合せを用いるのが好ましい。この場合のバックゲート接続の選択も、実使用上の目的に応じて適当に選択される。

【0168】なお、上述の構成においては、メモリセルのアクセストランジスタがnチャネルMOSトランジスタで構成されている。しかしながら、これに代えて、pチャネルMOSトランジスタがアクセストランジスタとして用いられる構成が用いられてもよい。この場合には、選択状態においてはワード線が負電圧、非選択状態においてはワード線電位は正の電圧レベルとなる。

【0169】

【発明の効果】以上のように、この発明に従えば、ビット線振幅を、接地電圧と電源電圧よりも低い選択電圧レベルに制限したために、メモリセルのアクセストランジスタに電源電圧よりも高い電圧が印加されるのを防止することができ、アクセストランジスタのゲート絶縁膜に電源電圧より高い電圧が印加されて絶縁破壊が生じるのを防止することができ、信頼性の高いDRAMを実現することができる。

【0170】また、非選択電圧を伝達するMOSトランジスタのゲートへは、電源電圧よりも低い選択電圧レベルの電圧を印加するように構成しているため、これらのMOSトランジスタのゲート-ソース間電位差が、電源電圧以上となるのを防止することができ、これらのMOSトランジスタのゲート絶縁膜の信頼性を保証することができる。

【0171】また、非選択電圧を、MOSトランジスタ

のクランプにより発生しているために、容易に他の回路において、MOSトランジスタを用いてサブスレショルド電流の低減を図ることができる。また、アレイ電圧を、電源電圧からMOSトランジスタのしきい値電圧分低下させる構成とすることにより、容易に必要とされる電圧レベルの選択電圧を生成することができる。また、メモリセルへ書込まれるハイレベルデータと同じ電圧レベルのアレイ電圧を容易に生成することができ、ビット線電位を不必要に充電する必要がなく、消費電流を低減することができる。

【図面の簡単な説明】

【図1】 この発明のDRAMの全体の構成を概略的に示す図である。

【図2】 図1に示すDRAMの要部の構成を具体的に示す図である。

【図3】 図1に示すワード線駆動信号発生回路の構成を具体的に示す図である。

【図4】 図1ないし図3に示すDRAMの動作を示す信号波形図である。

【図5】 図1に示す中間電圧発生回路の構成の一例を示す図である。

【図6】 図1に示す中間電圧発生回路の他の構成を示す図である。

【図7】 図2に示すロウデコードの変更例の構成を示す図である。

【図8】 図7に示すインバータの変更例の構成を示す図である。

【図9】 ワード線ドライバの変更例の構成を示す図である。

【図10】 図2に示す負電圧発生回路の変更例の構成を示す図である。

【図11】 図10に示す負電圧クランプ用MOSトランジスタの断面構造を概略的に示す図である。

【図12】 図1に示す負電圧クランプ用MOSトランジスタの変更例の構成を示す図である。

【図13】 図3に示すワード線駆動信号発生回路の他の構成を示す図である。

【図14】 (A) および (B) は、メモリセルアクセストランジスタのバックゲートバイアス電圧の最もしきい値電圧が高くなるときのソース電位をそれぞれ示す図

である。

【図15】 MOSトランジスタのしきい値電圧とバックゲートソース間電圧の関係を示す図である。

【図16】 図2に示す内部電圧発生回路の変更例の構成を示す図である。

【図17】 図16に示す内部電圧発生回路の他の変更例を示す図である。

【図18】 (A) は、ワード線ドライバの変更例の構成を示し、(B) は、負電圧発生回路のクランプ用MOSトランジスタの他の変更例を示す図である。

【図19】 ワード線ドライバに含まれるMOSトランジスタおよび負電圧クランプ用MOSトランジスタのバックゲート接続の組合せを一覧にして示す図である。

【図20】 従来のDRAMのアレイ部の構成を概略的に示す図である。

【図21】 図20に示すDRAMの動作を示す信号波形図である。

【図22】 MOSトランジスタのサブスレショルド電流特性を示す図である。

【図23】 従来のDRAMにおける負電圧を非選択ワード線へ印加する理由を説明するための図である。

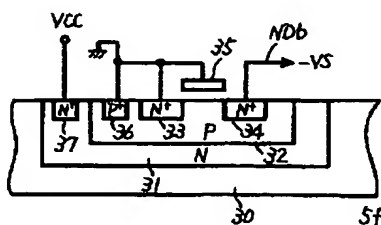
【図24】 従来の負電圧ワード線方式のDRAMの問題点を説明するための図である。

【図25】 従来のDRAMのメモリセルの断面構造を概略的に示す図である。

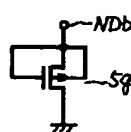
【符号の説明】

1 メモリセルアレイ、2 ロウデコード、2a ロウデコード回路、2b インバータ、2c 電圧降下用MOSトランジスタ、2e インバータ、4 ワード線ドライバ回路、4a、4b、4c ワード線ドライバ、4a a、4a b、4a c、4b a、4b b、4b c、4c a、4c b、4c c MOSトランジスタ、5 負電圧発生回路、5f、5g、5h 負電圧クランプ用MOSトランジスタ、6 内部電圧発生回路、6a MOSトランジスタ、6b安定化容量、5e 安定化容量、7 中間電圧発生回路、8 センスアンプ駆動回路、9 センスアンプ回路、SA センスアンプ、Tc メモリセルアクセストランジスタ、C メモリセルキャパシタ、3 ワード線駆動信号発生回路、3cd、3ce、3cf MOSトランジスタ。

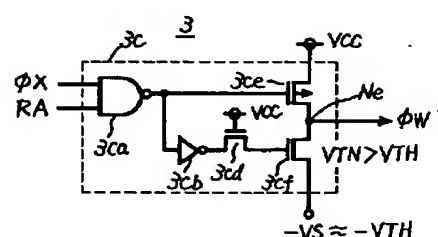
【図11】



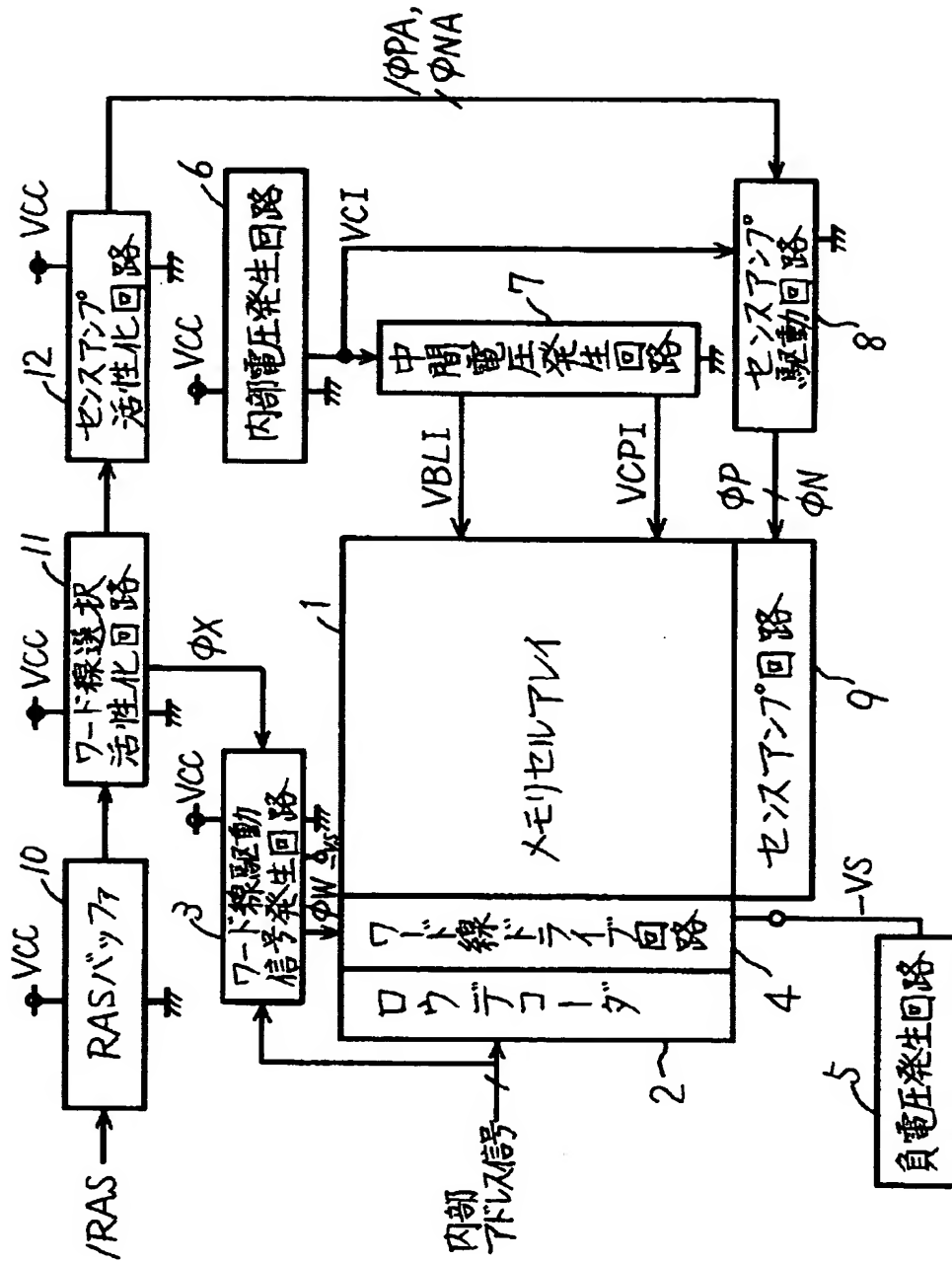
【図12】



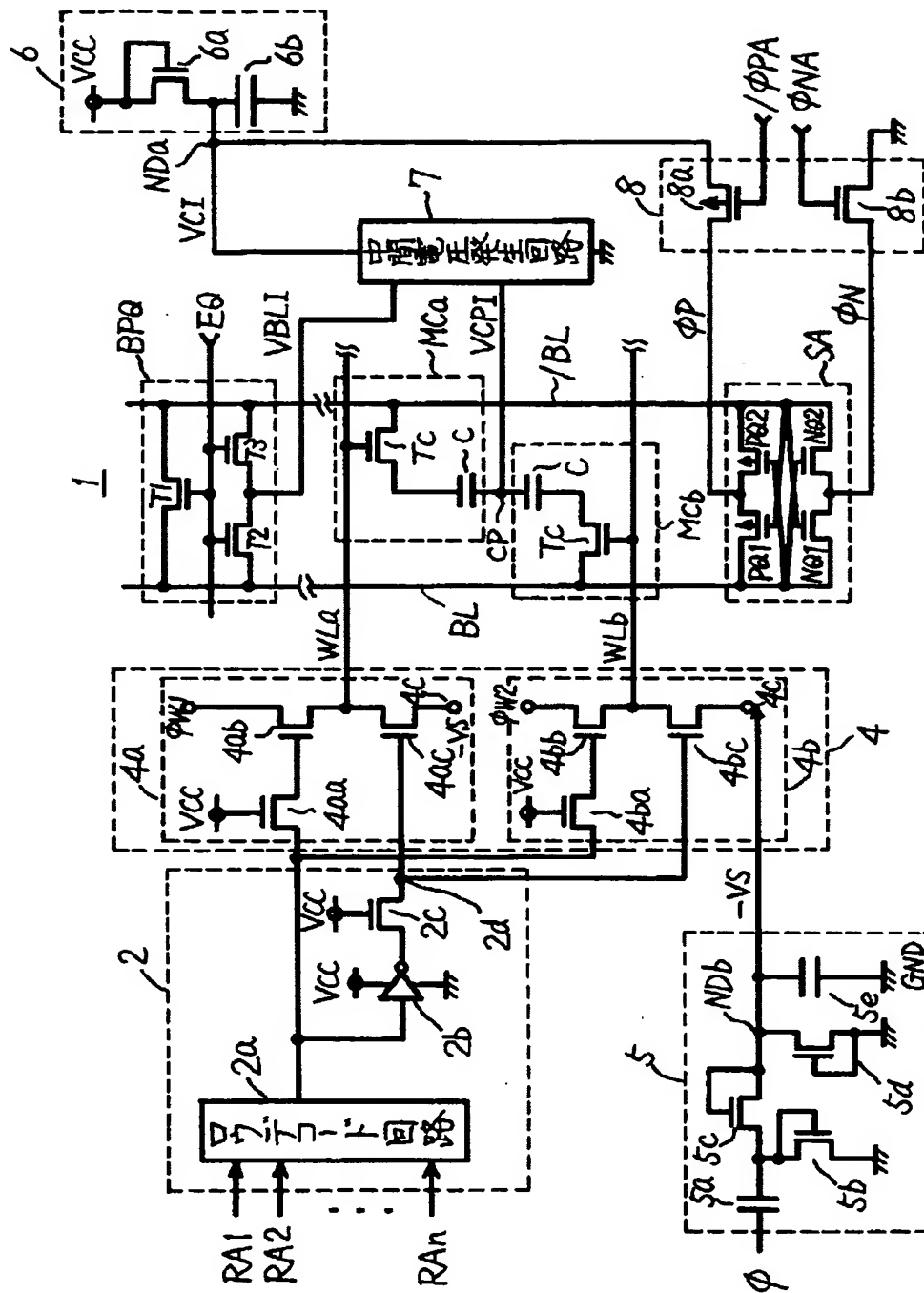
【図13】



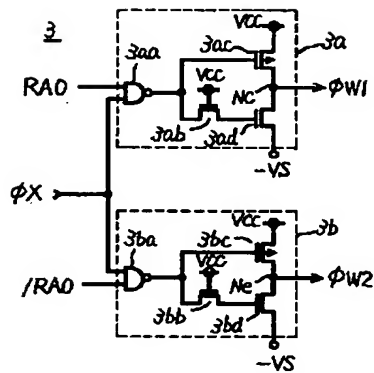
A



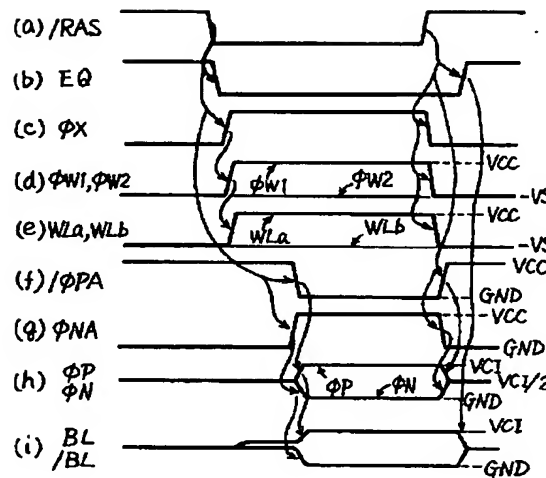
【図2】



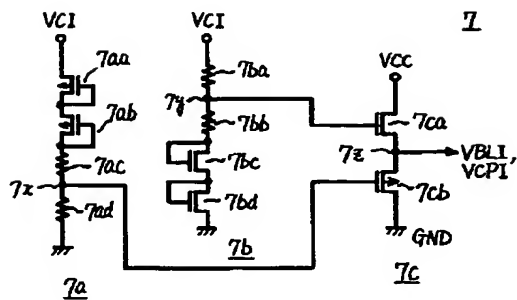
【図3】



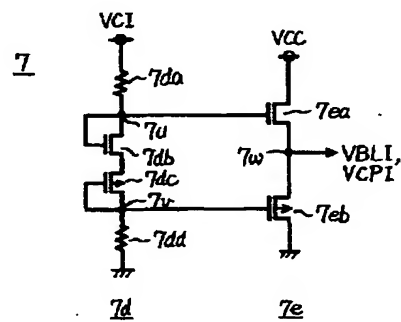
【図4】



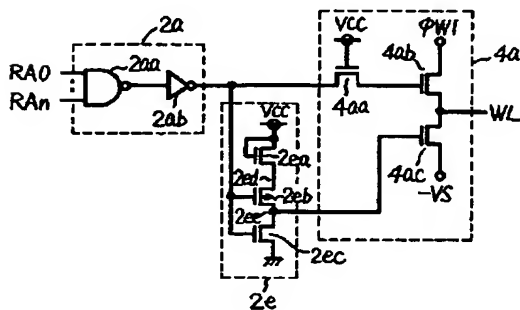
【図5】



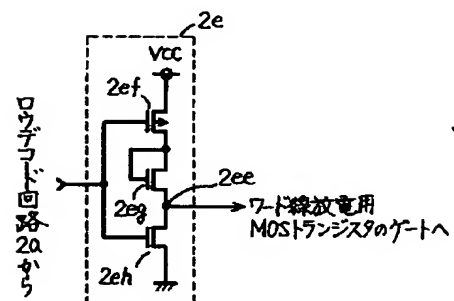
【図6】



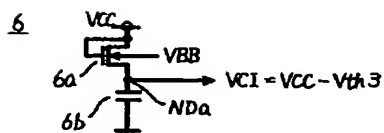
【図7】



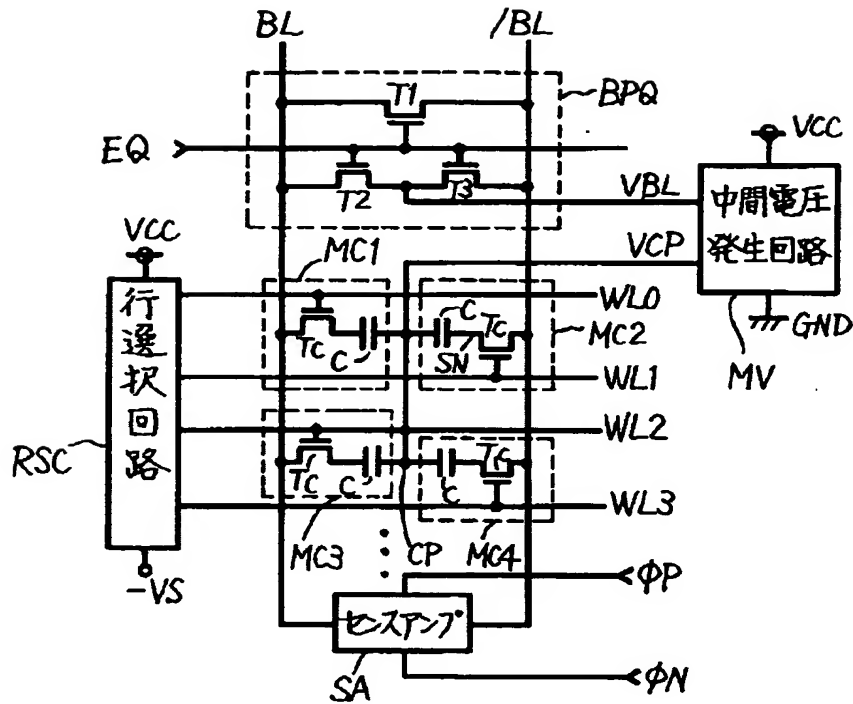
【図8】



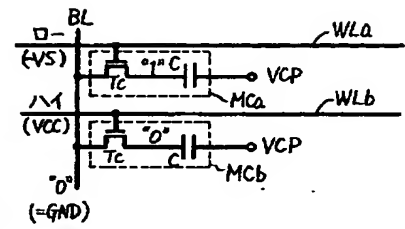
【図16】



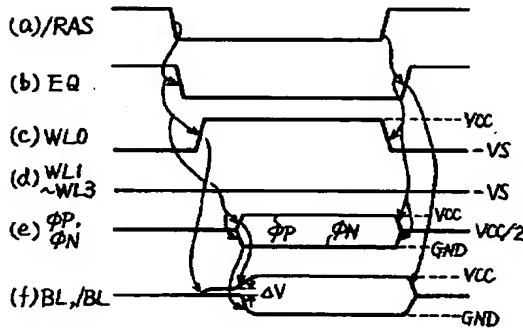
【図20】



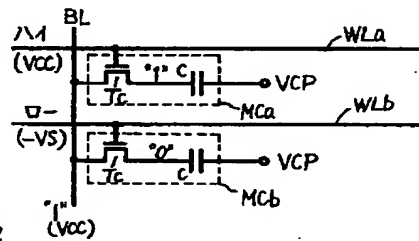
【図23】



【図21】



【図24】



【図25】

